JP2003-122303

## **Partial Translation**

[0085] It should be noted that for the formation of the hole-injection-transfer layer, the electroluminescent layer, and the electron-injection-transfer layer, it is preferable to use vacuum evaporation because it allows formation of a uniform thin-film.

[0103] Half of the light generated from organic EL layer 47 is reflected at reflecting film 46 through array substrate 49 to be emitted out. However, because reflecting film 46 reflects external light, imprinting occurs, resulting in a reduction in display contrast. As a measure for preventing this,  $\lambda/4$  board 50 and polarizing board 54 are placed on array substrate 49. When the pixel is a reflecting electrode, the light generated from organic EL layer 47 is emitted in an upward direction. Therefore,  $\lambda/4$  board 50 and polarizing board 54 need to be placed on the light emission side. The reflection-type pixel is obtained by forming pixel electrode 48 using aluminum, chromium, silver, or the like. By providing protruding portions (or protruding and depressing portions) on the surface of pixel electrode 48, the interface with respect to organic EL layer 47 is enlarged to increase the area of luminescence, thereby improving the luminous efficiency.

[0235] To enhance the brightness of luminescence, pixel electrode 48 can be made rough. This is shown in Fig. 5. First, using the stamper technique, fine protrusions and depressions are formed on the portion where pixel electrode 48 is to be formed. When the pixel is of the reflecting type, pixel electrode 48 is formed by forming an aluminum metal thin film of approximately 200 nm thick by the sputtering method. On the portion where pixel electrode 48 comes in touch with the organic EL, a protruding portion is provided to provide a rough surface. In the case of a simple matrix-type display panel, pixel electrode 48 is a stripe electrode. The protruding portion may not necessarily be in the form of a protrusion; it can be in the form of a depression. It is also possible to form a protrusion and a depression simultaneously.

[0236] Brightness was measured under the following conditions. The size of a protrusion was approximately 4 µm in diameter, and the average distance to an adjacent protrusion was 10 µm, 20 µm, and 40 µm. The unit-area density of the protrusions was 1000·1200 pieces/mm², 100·120 pieces/mm², and 600-800 pieces/mm². As a result, it has been found that as the unit-area density of the protrusions became larger, the brightness of

luminescence became intense. Thus, it has been found that by changing the unit-area density of the protrusions, the surface conditions of the pixel electrode are changed, making it possible to adjust the brightness of luminescence.

[0572] Thus, the technical concept described in the embodiments of the present invention can be applied to video cameras, projectors, stereoscopic televisions, projection televisions, and the like. The technical concept can also be applied to view finders, the monitors of the mobile phones, PHS, mobile information terminals and the monitors thereof, digital cameras and the monitors thereof, and the like. The technical concept can also be applied to electro-photographic systems, head mount displays, direct-view monitor displays, laptop computers, video cameras, electronic still cameras, and the like. The technical concept can also be applied to ATM monitors, public telephones, videophones, personal computers, wristwatches and the display devices thereof, and the like. Further, it will be readily appreciated that the technical concept can also be applied or expanded to the display monitors of electric household appliances, handheld game machines and the monitors thereof, the backlights of display panels, household or business lighting systems, and the like. Also, the technical concept can be applied to display devices such as advertisements and posters, RGB light signals, alarm display lamps, and the like.

### (19)日本国特許庁 (JP)

# (12) 公開特許公報(A)

(11)特許出願公園番号 特開2003-122303/ (P2003-122303A)

(43)公開日 平成15年4月25日(2003.4.25)

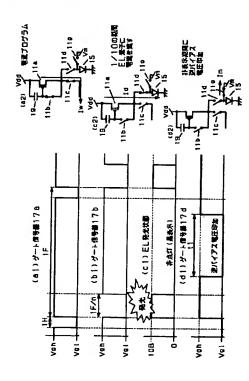
(51) Int.Cl. <sup>7</sup>		識別記号		FI			テーマコード(参考)		
G 0 9 G	3/30			G 0	9 G	3/30		J	3 K O O 7
G09F	9/30	338		G 0	9 F	9/30		338	5 C O 8 O
		365						3 6 5 Z	5 C O 9 4
G 0 9 G	3/20	611		G 0	9 G	3/20		611H	
		6 2 4						624B	
			審查請求	未請求	前求	項の数12	OL	(全 90 頁)	最終質に統
(21)出願番号 特顧2001-317787(P2001-317787		01-317787)	(71)出版人 000005821 松下電器産業株式会社 v						
(22)出廣日		平成13年10月16日(200					体式会在 大字門真100		
				(72)発明者 高原 博司					
				大阪府門真市大字門真1006番地 松下電器 産業株式会社内					
				(72)	発明者	柘植(	走		
				大阪府門真市大字門真1006番地 松下電器 産業株式会社内					
				(74)	人野升	1000974	45		
						弁理士	岩橋	文雄 少	2名)
									最終頁に続く

## (54) 【発明の名称】 EL表示パネルおよびそれを用いた表示装置とその駆動方法

## (57)【要約】

【課題】 EL素子の劣化がなく、良好なカラー表示が 実現できる表示装置を提供する。

【解決手段】 コンデンサ19にはEL素子15に流す電流のN倍の電流をプログラムする。EL素子15の所定の発光輝度を得るために、1フレームの1/Nの期間の間だけ、EL素子15に電流を流し、他の期間(1F(N-1)/N)は電流を流さない。また、この(N-1)/Nの期間に逆バイアス電圧をEL素子15に印加する。このようにすることで、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、黒表示期間にEL素子15に逆バイアス電圧を印加するため、EL素子15の劣化がない。



#### 【特許請求の範囲】

【請求項1】 アクティブマトリックス型 E L表示装置 であって、

EL素子が非点灯状態時に、前記EL素子に逆バイアス 電圧を印加することを特徴とするEL表示パネルの駆動 方法。

【請求項2】 1/nの表示領域を所定輝度の略n倍の 輝度で表示し、かつ、(n - 1)/n の領域を略非点灯 状態にし、

印加することを特徴とするEL表示パネルの駆動方法。

【請求項3】 アクティブマトリックス型EL表示装置 であって、

第1の表示領域に画像を表示し、前記第1の表示領域以 外の第2の表示領域を略非点灯状態にし、非表示領域を 順次シフトして全画面を表示し、

前記非表示領域のEL素子に逆バイアス電圧を印加する ことを特徴とするEL表示パネルの駆動方法。

【請求項4】 アクティブマトリックス型EL表示装置 であって、

EL素子に所定電流を印加した時の端子電圧をV2、前 記所定電流を印加している時間をt2、逆バイアス電圧 をVm、前記逆バイアス電圧を印加している時間をt1 とした時、 (Vm×t 1) / (V2×t2) が1. 0以 上1.75以下となるように電圧を印加することを特徴 とするEL表示パネルの駆動方法。

【請求項5】 アクティブマトリックス型EL表示装置 であって、EL素子と、

前記EL素子のアノード端子に接続された第1のスイッ チング素子と、

前記EL素子に電流を印加する駆動薄膜トランジスタ素 子とを具備し、

前記第1のスイッチング素子は、前記駆動薄膜トランジ スタ素子が前記EL素子に電流を供給していない期間の うち、任意の期間にオンし、前記アノード端子にカソー ド端子よりも低い電圧を印加することを特徴とするEL 表示装置。

【請求項6】 アクティブマトリックス型EL表示装置 であって、EL素子と、

前記EL素子のアノード端子に接続された第1のスイッ 40 加することを特徴とするEL表示装置。 チング素子と、

前記EL素子に電流を印加する駆動薄膜トランジスタ素 子と、

前記駆動薄膜トランジスタ素子にソース信号線からの信 号を供給する第2のスイッチング素子を具備し、

前記第1のスイッチング素子は、前記駆動薄膜トランジ スタ素子が前記EL素子に電流を供給していない期間の うち、任意の期間にオンし、前記アノード端子にカソー ド端子よりも低い第1の電圧を印加し、

前記第1の電圧は、前記第2のスイッチング素子をオフ 50 を走査し、

させる電圧であることを特徴とするEL表示装置。

【請求項7】 アクティブマトリックス型EL表示装置 であって、EL素子と、

2

前記EL索子のアノード端子に接続された第1のスイッ チング素子と、

前記EL素子に電流を印加する駆動薄膜トランジスタ素

前記駆動薄膜トランジスタ素子にソース信号線からの信 号を供給する第2のスイッチング素子を具備し、

前記非点灯状態の領域のEL素子に、逆バイアス電圧を 10 前記第1のスイッチング素子は、前記駆動薄膜トランジ スタ素子が前記EL素子に電流を供給していない期間の ろち、任意の期間にオンし、前記アノード端子にカソー ド端子よりも低い第2の電圧を印加し、

> 前記第2の電圧は、前記ソース信号線に印加された電圧 であることを特徴とするEL表示装置。

【請求項8】 アクティブマトリックス型EL表示装置 であって.

EL素子と、

前記EL素子のアノード端子に接続された第1のスイッ 20 チング素子と、

前記EL素子に電流を印加する駆動薄膜トランジスタ素 子と、定電流源を具備し、

前記第1のスイッチング素子は、前記駆動薄膜トランジ スタ素子からの電流を前記EL素子に供給し、

前記第1のスイッチング素子がオフの時、前記定電流源 は前記EL素子に逆バイアス電圧を印加することを特徴 とするEL表示装置。

【請求項9】 アクティブマトリックス型EL表示装置 であって、

30 EL素子と、

前記EL素子のアノード端子に接続されたフライングコ ンデンサ回路と、

前記EL素子に電流を印加する駆動薄膜トランジスタ素

第1のスイッチング素子を具備し、

前記第1のスイッチング素子は、前記駆動薄膜トランジ スタ素子からの電流を前記EL素子に供給し、

前記第1のスイッチング素子がオフの時、前記フライン グコンデンサ回路に保持された電圧が前記 E L素子に印

【請求項10】 請求項8記載のEL表示パネルと、 ダウンコンバータと、

アップコンバータと、

受話器と、

スピーカーとを具備することを特徴とする情報表示装

【請求項11】 アクティブマトリックス型EL表示装 置の駆動方法であって、

第1のフレームでは、画面の上から下方向に非点灯表示

3

前記第1のフレーム以降の第2のフレームでは画面の下から上方向に非点灯表示することを特徴とするEL表示 装置の駆動方法。

【請求項12】 アクティブマトリックス型EL表示装置の駆動方法であって、

第1のフレームでは、4N+1と4N+2 (Nは0以外の整数)の画素行を順次表示し、

前記第1のフレームの次の第2のフレームでは4N+3 と4N+4(Nは0以外の整数)の画素行を順次表示することを特徴とするEL表示装置の駆動方法。

#### 【発明の詳細な説明】

[0001]

【発明の属する技術分野】主として本発明は自発光で画像を表示するEL表示パネルとおよびこれらのEL表示パネルを用いた携帯電話などの情報表示装置などに関するものである。

[0002]

【従来の技術】液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードブロセッサやパーソナルコンピュータ、テレビなどの機器や、ビデオカメラのピューファインダ、モニターなどにも用いられている。

[0003]

【発明が解決しようとする課題】しかし、液晶表示パネルは自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが大きくなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルタを使用する必要がある。そのため、光利用効率が低いという問題点があった。

[0004]

【課題を解決するための手段】この課題を解決するために、本発明は第1に、EL表示パネルの駆動方法において、アクティブマトリックス型EL表示装置であって、EL素子が非点灯状態時に、前記EL素子に逆パイアス電圧を印加することを特徴とする。

【0005】第2に、EL表示パネルの駆動方法において、1/nの表示領域を所定輝度の略n倍の輝度で表示し、かつ、(n-1)/nの領域を略非点灯状態にし、前記非点灯状態の領域のEL素子に、逆パイアス電圧を印加することを特徴とする。

【0006】第3に、EL表示パネルの駆動方法において、アクティブマトリックス型EL表示装置であって、第1の表示領域に画像を表示し、前記第1の表示領域以外の第2の表示領域を略非点灯状態にし、非表示領域を順次シフトして全画面を表示し、前記非表示領域のEL素子に逆パイアス電圧を印加することを特徴とする。

【0007】第4に、EL表示パネルの駆動方法において、アクティブマトリックス型EL表示装置であって、

E L 素子に所定電流を印加した時の端子電圧をV2、前記所定電流を印加している時間をt2、逆バイアス電圧をVm、前記逆バイアス電圧を印加している時間をt1とした時、(Vm×t1)/(V2×t2)が1.0以上1.75以下となるように電圧を印加することを特徴とする。

【0008】第5に、EL表示装置において、アクティブマトリックス型EL表示装置であって、EL素子と、前記EL素子のアノード端子に接続された第1のスイッ10 チング素子と、前記EL素子に電流を印加する駆動薄膜トランジスタ素子とを具備し、前記第1のスイッチング素子は、前記駆動薄膜トランジスタ素子が前記EL素子に電流を供給していない期間のうち、任意の期間にオンし、前記アノード端子にカソード端子よりも低い電圧を印加することを特徴とする。

【0009】第6に、EL表示装置において、アクティブマトリックス型EL表示装置であって、EL素子と、前記EL素子のアノード端子に接続された第1のスイッチング素子と、前記EL素子に電流を印加する駆動薄膜トランジスタ素子と、前記駆動薄膜トランジスタ素子と、前記駆動薄膜トランジスタ素子と、前記駆動薄膜トランジスタ素子が前記EL素子に電流を供給していない期間のうち、任意の期間にオンし、前記アノード端子にカソード端子よりも低い第1の電圧を印加し、前記第1の電圧は、前記第2のスイッチング素子をオフさせる電圧であることを特徴とする。

【0010】第7に、EL表示装置において、アクティブマトリックス型EL表示装置であって、EL素子と、前記EL素子のアノード端子に接続された第1のスイッチング素子と、前記EL素子に電流を印加する駆動薄膜トランジスタ素子と、前記駆動薄膜トランジスタ素子と、前記駆動薄膜トランジスタ素子と、前記第1のスイッチング素子は、前記駆動薄膜トランジスタ素子が前記EL素子に電流を供給していない期間のうち、任意の期間にオンし、前記アノード端子にカソード端子よりも低い第2の電圧を印加し、前記第2の電圧は、前記ソース信号線に印加された電圧であることを特徴とする。

40 【0011】第8に、EL表示装置において、アクティブマトリックス型EL表示装置であって、EL素子と、前記EL素子のアノード端子に接続された第1のスイッチング素子と、前記EL素子に電流を印加する駆動薄膜トランジスタ素子と、定電流源を具備し、前記第1のスイッチング素子は、前記駆動薄膜トランジスタ素子からの電流を前記EL素子に供給し、前記第1のスイッチング素子がオフの時、前記定電流源は前記EL素子に逆バイアス電圧を印加することを特徴とする。

【0012】第9に、EL表示装置において、アクティ 50 ブマトリックス型EL表示装置であって、EL素子と、 前記EL素子のアノード端子に接続されたフライングコ ンデンサ回路と、前記EL素子に電流を印加する駆動薄 膜トランジスタ素子と、第1のスイッチング素子を具備 し、前記第1のスイッチング素子は、前記駆動薄膜トラ ンジスタ素子からの電流を前記EL素子に供給し、前記 第1のスイッチング素子がオフの時、前記フライングコ ンデンサ回路に保持された電圧が前記EL素子に印加す ることを特徴とする。

5

【0013】第10に、情報表示装置において、請求項 8記載のEL表示パネルと、ダウンコンバータと、アッ 10 プコンバータと、受話器と、スピーカーとを具備するこ とを特徴とする。

【0014】第11に、EL表示装置の駆動方法におい て、アクティブマトリックス型EL表示装置の駆動方法 であって、第1のフレームでは、画面の上から下方向に 非点灯表示を走査し、前記第1のフレーム以降の第2の フレームでは画面の下から上方向に非点灯表示すること を特徴とする。

【0015】第12に、EL表示装置の駆動方法におい て、アクティブマトリックス型EL表示装置の駆動方法 20 であって、第1のフレームでは、4N+1と4N+2 (Nは0以外の整数)の画素行を順次表示し、前記第1 のフレームの次の第2のフレームでは4N+3と4N+ 4 (Nは0以外の整数)の画素行を順次表示することを 特徴とする。

#### [0016]

【発明の実施の形態】本明細書において、各図面は理解 を容易にまたは作図を容易にするため、省略や拡大縮小 した箇所がある。例えば、図5の表示パネルの断面図で は封止膜73などを十分厚く図示している。 また、図6 等では画素電極に信号を印加する薄膜トランジスタ(T FT)などを省略している。また、本発明の表示パネル などでは、位相補償のための位相フィルムなどを省略し ているが、適時付加することが望ましい。以上のことは 他の図面に対しても同様である。また、同一番号または 記号を付した箇所は同一の材料あるいは機能もしくは動 作を有するものである。

【0017】なお、各図面等で説明した内容は特に断り がなくとも、他の実施例等と組み合わせることができ る。例えば、図6の表示パネルにタッチパネルなどを付 加し、図104、図113のような情報表示装置とする ことができる。また、拡大レンズを取り付け、ビデオカ メラ (図74参照) などのビューファインダ (図109 参照)を構成することもできる。また、図29、図3 0、図40、図114などで説明した本発明の駆動方法 は、本発明の表示装置または表示パネルのいずれにも適 用することができる。また、本発明は各画素にTFTが 形成されたアクティブマトリックス型表示パネルを主と して説明するがこれに限定されるものではなく、単純マ トリックス型にも適用することができることは言うまで 50 お、ITOはIZOなどの他の材料でもよい。この事項

もない。

【0018】このように、明細書、図面で説明した事 項、内容、仕様は、特に例示されていなくとも、互いに 組み合わせて適用させることができる。

6

【0019】(実施の形態1)現在、低消費電力でかつ 髙表示品質であり、更に薄型化が可能な表示パネルとし て、複数の有機エレクトロルミネッセンス(EL)素子 をマトリックス状に配列して構成される有機EL表示バ ネルが注目されている。

【0020】有機EL表示パネルは、図2に示すよう に、画素電極48としての透明電極が形成されたアレイ 基板49上に、電子輸送層、発光層、正孔輸送層などか らなる少なくとも1層の有機EL層47、及び反射膜4 6が積層されたものである。透明電極(画素電極)48 の陽極 (アノード) にプラス、反射膜46の陰極 (カソ ード) にマイナスの電圧を加え、これらの間に直流電流 を印加することにより、有機EL層47が発光する。こ のように、良好な発光特性を期待することのできる有機 化合物を有機EL層に使用することによって、EL表示 パネルが実用に耐え得るものになっている。

【0021】なお、カソード電極、アノード電極あるい は反射膜は、ITO電極に誘電体多層膜からなる光学的 干渉膜を形成して構成してもよい。誘電体多層膜とは低 屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層 形成したもの(誘電体ミラー)である。この誘電体多層 膜は有機EL構造から放射される光の色調を良好なもの にする機能(フィルタ効果)を有する。

【0022】アノードあるいはカソードへ電流を供給す る配線51、63には大きな電流が流れる。例えば、E L表示装置の画面サイズが40インチサイズになると1 00 A程度の電流が流れる。そのため、これらの配線の 抵抗値は十分低く作製する必要がある。この課題に対し て、本発明では、まず、アノードなどの配線を薄膜で形 成する。そして、この薄膜配線に電解めっき技術により 導体の厚みを太く形成している。また、必要に応じて、 配線そのもの、あるいは配線に銅薄からなる金属配線を 付加している。

【0023】また、アノードあるいはカソード配線に大 きな電流を供給するため、電流供給手段から高電圧で小 電流の電力配線を用いて、前記アノード配線などの近傍 まで配線し、DCDCコンバータなどを用いて低電圧、 高電流に電力変換して供給している。

【0024】反射膜46には、アルミニウム、マグネシ ウム、インジウム、銅または各々の合金等の仕事関数が 小さなもの、特にAl-Li合金を用いることが好まし い。また、透明電極(画素電極)48には、ITO(錫 ドープ酸化インジウム)等の仕事関数の大きな導電性材 料または金等を用いることができる。なお、金を電極材 料として用いた場合、電極は半透明の状態となる。な

は画素電極に対しても同様である。

【0025】なお、画素電極48などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜を成膜するとよい。また、画素電極48としてのITO上にカーボン膜を20nm以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。

【0026】(実施の形態2)以下、本発明のEL表示パネル構造の理解を容易とするため、まず、本発明の有機EL表示パネルの製造方法について説明をする。

【0027】放熱性を良くするため、アレイ基板49はサファイアガラスで形成してもよい。または熱伝導性のよい薄膜あるいは厚膜を形成してもよい。例えば、ダイヤモンド薄膜を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板を明などからなる金属板を使用したり、絶縁膜に金属膜を蒸着あるいは塗布などのコーティングをしたものを用いてもよい。画素電極を反射型とする場合、基板材料としては基板の表面方向より光が出射されるので、ガラス、石英や樹脂等の透明ないし半透明材料の他、ステンレスなどの非透過材料を用いることもできる。この構成を図5に図示する。図5では、カソード電極を1TOなどの透明電極72で形成している。

【0028】なお、本発明の実施例では、カソードなどを金属膜で形成するとしたが、これに限定されるものではなく、ITO、IZOなどの透明膜で形成してもよい。このように、EL素子15のアノードとカソードの両方の電極を透明電極にすることにより、透明EL表示パネルを構成できる。つまり、金属膜を使わずに透過率 30を約80%まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるような構成にすることができる。

【0029】また、アレイ基板49にはプラスチック基板を用いてもよい。プラスチック基板は割れにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板は板に限定されるものではなく、厚さ0.05mm以上400.3mm以下のフィルムでもよい。

【0030】ベース基板の材料として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製のARTON(厚さ200μmの1枚板)が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助の基板(あるいはフィルムもしくは膜)を配置する。

【0031】 このように、アレイ基板49をプラスチックで構成する場合、アレイ基板49はベース基板と2枚の補助基板から構成されるので、ベース基板の他方の面にも、前述と同様にハードコート層およびガスバリア層が形成されたポリエーテルスルホン樹脂などからなる補助基板(あるいはフィルムもしくは膜)を配置する。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

8

【0032】接着剤としてはUV(紫外線)硬化型でアクリル系の樹脂からなるものを用いること、また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。また、アレイ基板49の屈折率との屈折率差が0.03以下となるようにすることが好ましい。特に、接着剤は先に記載したような酸化チタンなどの光拡散材を添加し、光散 乱層として機能させることが好ましい。

【0033】各々の補助基板をベース基板に貼り合わせる際には、各々の補助基板の光学的遅相軸同士がなす角度を45度以上120度以下、さらに好ましくは80度以上100度以下(ほぼ90度)とすることがよい。この範囲にすることにより、補助基板および補助基板であるボリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、有機EL表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。

【0034】 この構成により、位相差を持ったフィルム 基板またはフィルム積層基板に比べて、著しく汎用性が 広がる。つまり、位相差フィルムとを組み合わせること により直線偏光を楕円偏光に設計通りに変換できるよう になるからである。アレイ基板49などに位相差があると、この位相差により設計値との誤差が発生する。

【0035】補助基板におけるハードコート層は、材料としてエポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができ、ストライプ状電極あるいは画素電極を有する透明導電膜の第1のアンダーコート層とを兼ねる。また、ガスバリア層としては、Si〇ェ、SiOェなどの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは100μm以下とするが、基板など表面の凹凸を平滑化するために、10μm以上とすることが好ましい。【0036】また、アレノ基板40を機成する機関は

【0036】また、アレイ基板49を構成する補助基板 および補助基板として、厚さ40μm以上400μm以下のものを用いることが好ましい。また、各々の補助基 板の厚さを120μm以下にすることにより、ポリエー 50 テルスルホン樹脂のダイラインと呼ばれる溶融押し出し

成形時のむらまたは位相差を低く抑えることができるの で、好ましくは厚さを50μm以上80μm以下とす る。

【0037】次に、この積層基板に、透明導電膜の補助 アンダーコート層としてSiOxを形成し、画素電極と なるITOからなる透明導電膜をスパッタ技術で形成す る。とのようにして製造した有機EL表示パネル用プラ スチック基板の透明導電膜は、その膜特性として、シー ト抵抗値25Q/□、透過率80%を実現することがで きる。

【0038】ベース基板の厚さが50µmから100µ mのように薄い場合には、有機EL表示パネルの製造工 程において、有機EL表示パネル用プラスチック基板が 熱処理によりカールしてしまう。また、ストライプ状電 極などを構成するITOにクラックが発生し、それ以降 の搬送が不可能となる。また、回路部品の接続において も良好な結果は得られない。しかし、ベース基板を1枚 板で厚さ200μm以上500μm以下とした場合は、 基板の変形がなく平滑性に優れ、搬送性が良好で、透明 く実施することができる。さらに、適度な柔軟性と平面 性をもっているため、厚さを250μm以上450μm 以下とすることがよいと考えられる。

【0039】なお、アレイ基板49として前述のプラス チック基板などの有機材料を使用する場合は、液晶層に 接する面にもバリア層として無機材料からなる薄膜を形 成することが好ましい。この無機材料からなるパリア層 は、AIRコートと同一材料で形成されることが好まし い。なお、封止フタ41もアレイ基板49と同様の技術 あるいは構成により作製できる。

【0040】また、バリア層を画素電極あるいはストラ イブ状電極上に形成する場合は、光変調層に印加される 電圧のロスを極力低減させるために低誘電率材料を使用 することが好ましい。例えば、フッ素を添加したアモル ファスカーボン膜(比誘電率2.0~2.5)が例示さ れる。その他、JSR社が製造販売しているLKDシリ ーズ (LKD-T200シリーズ (比誘電率2.5~ 2.7)、LKD-T400シリーズ(比誘電率2.0 ~2.2))が例示される。LKDシリーズはMSQ (methy-silsesquioxane)をベー 40 スにしたスピン塗布形であり、比誘電率も2.0~2. 7と低く好ましい。その他、ポリイミド、ウレタン、ア クリル等の有機材料や、SiNx、SiO,などの無機 材料でもよい。これらのバリア層材料は補助基板に用い ても問題はない。

【0041】プラスチックで形成したアレイ基板49あ るいは封止フタ41を用いることにより、割れない、軽 量化できるという利点を発揮できる他に、プレス加工で きるという利点もある。つまり、ブレス加工あるいは切 削加工により任意の形状の基板を作製できるということ 50 は変調する光の補色関係にあるブラックマトリックス

である(図3を参照)。また、融解あるいは化学薬品処 理により任意の形状、厚みに加工することもできる。例 えば、円形にしたり、球形(曲面など)にしたり、円錐 状に加工したりすることが例示される。また、プレス加 工により、基板の製造と同時に、一方の基板面に凹凸部 252を形成し、散乱面の形成、あるいはエンボス加工 を行うことができる。

10

【0042】また、プラスチックをプレス加工すること により形成したアレイ基板49の穴に、バックライトあ 10 るいはカバー基板の位置決めピンを挿入できるように形 成することも容易である。また、アレイ基板49、封止 フタ41内に厚膜技術あるいは薄膜技術で形成したコン デンサあるいは抵抗などの電気回路を構成してもよい。 また、封止フタ41に凹部(図示せず)を形成し、アレ イ基板49に凸部251を形成し、この凹部と凸部とが ちょうどはめ込めるように形成することにより、封止フ タ41とアレイ基板49とをはめ込みにより一体化する ことができるように構成してもよい。

【0043】ガラス基板を用いた場合は、画素16の周 導電膜特性も安定する。また、回路部品の接続も問題な 20 辺部にEL素子を蒸着する際に使用する土手を形成して いた。土手は樹脂材料を用いて、2~3 µ mの厚みで凸 部状に形成する。この樹脂からなる土手(凸部)251 を封止フタ41またはアレイ基板49のプレス加工によ る形成と同時に作製することもできる(図3を参照)。 これは封止フタ41、アレイ基板49を樹脂で形成する ことにより発生する大きな効果である。このように、樹 脂部を基板と同時に形成することにより製造時間を短縮 できるので低コスト化が可能である。また、アレイ基板 49などの製造時に、表示領域部にドット状に凸部25 1を形成する。この凸部251は隣接画素間に形成する ことで、封止フタ41とアレイ基板49との所定の空間 を保持する。

> 【0044】なお、以上の実施例では、土手として機能 する凸部251を形成するとしたが、これに限定される ことはない。例えば、画素部をプレス加工などにより掘 り下げる(凹部)としてもよい。なお、凹凸部252、 凸部251は基板と同時に形成される他、平面な基板を 最初に形成し、その後、再加熱によりプレスして凹凸を 形成する方式も含まれる。

【0045】また、封止フタ41、アレイ基板49を直 接着色することにより、モザイク状のカラーフィルタを 形成してもよい。基板にインクジェット印刷などの技術 を用いて染料、色素などを塗布し浸透させる。浸透後、 高温で乾燥させ、表面をUV樹脂などの樹脂、酸化シリ コンあるいは酸化窒素などの無機材料で被覆すればよ い。また、グラビア印刷技術、オフセット印刷技術、ス ピンナーで膜を塗布し現像する半導体バターン形成技術 などでカラーフィルタを形成してもよい。カラーフィル タの他、同様の技術を用いて、黒色もしくは暗色あるい

(BM) を着色により直接形成してもよい。また、基板 面上に画素に対応するように凹部を形成し、この凹部に カラーフィルタ、BMあるいはTFTを埋め込むように 構成してもよい。特に、表面をアクリル樹脂で被膜する ことが好ましい。この構成では画素電極面などが平滑化 されるという利点もある。

【0046】また、導電性ポリマーなどにより基板表面 の樹脂を導電化し、画素電極あるいはカソード電極を直 接構成してもよい。さらには、基板に大きく穴を開け、 この穴にコンデンサなどの電子部品を挿入する構成も例 示される。これにより、基板が薄く構成できる利点が発 揮される。

【0047】また、基板の表面を切削することにより、 自由に模様を形成したりしてもよい。また、封止フタ4 1、アレイ基板49の周辺部を溶かすことにより形成し てもよい。また、有機EL表示パネルの場合は外部から の水分の進入を阻止するため、基板の周辺部を溶かして 封止してもよい。

【0048】以上のように、基板を樹脂で形成すること により、基板への穴あけ加工が容易である。また、プレ ス加工などにより自由に基板形状を構成することができ

【0049】また、封止フタ41とアレイ基板49を多 層回路基板あるいは両面基板として利用できるようにす るため、封止フタ41とアレイ基板49に穴をあけ、こ の穴に導電樹脂などを充填し、基板の表と裏とを電気的 に導通させることも可能である。

【0050】また、封止フタ41、アレイ基板49自身 を多層の配線基板としてもよい。例えば、導電樹脂のか わりに導電ビンなどを挿入したり、形成した穴にコンデ 30 ンサなどの電子部品の端子を差し込めるようにしたり、 または基板内に薄膜による回路配線、コンデンサ、コイ ルあるいは抵抗を形成してもよい。多層化は薄い基板を 貼り合わせることにより構成されるので、この際、貼り 合わせる基板 (フィルム) の1枚以上を着色してもよ 63.

【0051】また、基板材料に染料、色素を加えて基板 自身に着色を行ったり、フィルタを形成したりすること ができる。また、製造番号を基板作製と同時に形成する るととにより、積載したICチップに光が照射されると とで誤動作を防止できる。

【0052】また、基板の表示領域の半分を異なる色に 着色することもできる。これは、樹脂板加工技術(イン ジェクション加工、コンプレクション加工など)を応用 すればよい。また、同様の加工技術を用いることにより 表示領域の半分を異なるEL層膜厚にすることもでき る。また、表示部と回路部とを同時に形成することもで きる。また、表示領域とドライバ積載領域との基板厚み を変化させることも容易である。

【0053】また、封止フタ41またはアレイ基板49 に、画素に対応するように、あるいは表示領域に対応す るようにマイクロレンズを形成することもできる。ま た、封止フタ41、アレイ基板49を加工することによ り、回折格子を形成してもよい。また、画素サイズより も十分に微細な凹凸を形成することで、視野角を改善し たり、視野角依存性を持たせたりすることができる。な お、このような任意形状の加工、微細加工技術などはオ ムロン(株)が開発したマイクロレンズを形成するスタ ンパ技術で実現できる。

【0054】封止フタ41、アレイ基板49には、スト ライブ状電極(図示せず)が形成されている。また、基 板が空気と接する面には、反射防止膜(AIRコート) が形成され、偏光板(偏光フィルム)など他の構成材料 が貼り付けられている場合は、その構成材料の表面など に反射防止膜(AIRコート)が形成される。また、封 止フタ41、アレイ基板49に偏光板などが貼り付けら れていない場合は、封止フタ41、アレイ基板49に直 接、反射防止膜(AIRコート)が形成される。

【0055】なお、以上の実施例は封止フタ41、アレ イ基板49がプラスチックで形成されることを中心に説 明してきたが、これに限定されるものではない。例え は、封止フタ41、アレイ基板49がガラス基板、金属 基板であっても、プレス加工、切削加工などにより、凹 凸部252、凸部251などを形成または構成できる。 また、基板に限定されるものでもない。例えば、フィル ムあるいはシートでもよい。

【0056】また、偏光板の表面へのごみの付着を防止 あるいは抑制するため、フッ素樹脂からなる薄膜を形成 することが有効である。また、静電気防止のために親水 基を有する薄膜、導電性ポリマー膜、金属膜などの導電 体膜を塗布あるいは蒸着してもよい。

【0057】なお、表示パネル82の光入射面あるいは 光出射面に配置または形成される偏光板(偏光フィル ム)は直線偏光するものに限定されるものではなく、精 円偏光となるものであってもよい。また、複数の偏光板 を貼り合わせたり、偏光板と位相差板とを組み合わせた り、貼り合わせたものを用いてもよい。

【0058】偏光フィルムを構成する主たる材料として こともできる。また、表示領域以外の部分だけを着色す 40 はTACフィルム (トリアセチルセルロースフィルム) が最適である。TACフィルムは、優れた光学特性、表 面平滑性および加工適性を有するからである。TACフ ィルムの製造については、溶液流延製膜技術で作製する ことが最適である。

> 【0059】AIRコートは誘電体単層膜もしくは多層 膜で形成される構成が例示される。その他、1.35~ 1. 45の低屈折率の樹脂を塗布してもよい。例えば、 フッ素系のアクリル樹脂などが例示され、特に屈折率が 1. 37以上1. 42以下のものが良好である。

【0060】また、AIRコートには3層構成あるいは 50

2 層構成がある。 3 層の場合は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。 2 層の場合は特定の可視光の波長帯域での反射を防止するために用いられ、これをVコートと呼ぶ。マルチコートとVコートは表示バネルの用途に応じて使い分ける。なお、AIRコートは2 層以上に限定されるものではなく、1 層でもよい。

 $[0\,0\,6\,1]$  マルチコートの場合は、酸化アルミニウム  $(A\,1,O_1)$  を光学的膜厚 $n\,d=\lambda/4$ 、ジルコニウム  $(Z\,r\,O_1)$  を $n\,d\,1=\lambda/2$ 、フッ化マグネシウム  $(M\,g\,F_1)$  を $n\,d\,1=\lambda/4$ 積層して形成する。通常、薄膜は $\lambda=5\,2\,0$   $n\,m$ もしくはその近傍の値として形成される。

【0062】 V コートの場合は、一酸化シリコン(SiO)を光学的膜厚 $nd1=\lambda/4$ とフッ化マグネシウム( $MgF_1$ )を $nd1=\lambda/4$ 、もしくは酸化イットリウム( $Y_2O_3$ )とフッ化マグネシウム( $MgF_2$ )を $nd1=\lambda/4$ 積層して形成する。 $SiOは青色側に吸収帯域があるため、青色光を変調する場合は物質の安定性からも<math>Y_2O_3$ を用いた方がよい。また、 $SiO_3$ 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコートとしてもよい。例えば、フッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0063】なお、表示パネルに静電気がチャージされることを防止するため、カバー基板などの導光板、表示パネル82などの表面に親水性の樹脂を塗布しておくこと、あるいはパネルなどの基板材料を親水性が良好な材料で構成しておくことが好ましい。その他、表面反射を防止するため、偏光板54の表面などにエンボス加工を30行ってもよい。

【0064】1画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ(TFT)を形成する。形成するTFTは、同じ種類のTFTであってもよいし、Pチャンネル型とNチャンネル型のTFTというように、違う種類のTFTであってもよいが、違う種類のTFTであってもよいが、望ましくはスイッチング用薄膜トランジスタ、駆動用薄膜トランジスタとも同極性のものが望ましい。またTFTの構造は、プレーナー型のTFTというように限定されるものではなく、スタガー型でも逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域(ソース、ドレイン)が形成されたものでも、非セルフアライン方式によるものでもよい。

【0065】本発明のEL素子15は、アレイ基板上に、ホール注入電極(画素電極)となるITOと、1種以上の有機層と、電子注入電極とが順次積層されたEL構造体を有し、前記アレイ基板にはTFTが設けられている。

【0066】本発明のEL素子を製造するには、まず、 酸化インジウム)、2nO、SnO、SnO,、In,O,等か争 基板上にTFTのアレイを所望の形状に形成する。そし 50 げられるが、特にITO、IZOが好ましい。ホール注

て、平滑化膜上の透明電極(画素電極)であるITOを スパッタ法で成膜、パターニングする。その後、有機E L層、電子注入電極等を積層する。

【0067】 TFTとしては、通常の多結晶シリコンTFTを用いればよい。 TFTは、 EL構造体の各画素の端部に設けられ、その大きさは  $10\sim30\,\mu$  m程度で、この際の画素の大きさは  $20\,\mu$  m×  $20\,\mu$  m×  $300\,\mu$  m 程度である。

【0068】アレイ基板上には、TFTの配線電極が設けられる。配線電極は抵抗が低く、しかもホール注入電極を電気的に接続して抵抗値を低く抑える機能があり、一般的にその配線電極は、AI、AIおよび遷移金属(ただしTiを除く)、Tiまたは窒化チタン(TiN)のいずれか1種または2種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。EL構造体の下地となるホール注入電極とTFTの配線電極とを併せた全体の厚さは、特に制限はないが、通常100~1000nm程度とすればよい。

【0069】TFT11の配線電極とEL構造体の有機 20 層との間には絶縁層を設ける。絶縁層は、SiO,等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG(スピン・オン・グラス)で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよいが、中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【0070】E L構造体の発光ピークは2つ以上であってもかまわない。例えば、本発明のE L素子における緑および青色発光部は、青緑色発光のE L構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光のE L 構造体と、このE L 構造体の青緑発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

【0071】次に、本発明のEL素子15を構成するEL構造体について説明する。本発明のEL構造体は、透明電極である電子注入電極と、1種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明のEL構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。

[0072]ホール注入電極の材料としては、ホール注入電極側から発光した光を取り出す構造であるため、ITO(錫ドープ酸化インジウム)、IZO(亜鉛ドープ酸化インジウム)、ZnO、SnO<sub>1</sub>、In<sub>2</sub>O<sub>3</sub>等が挙げられるが、特にITO IZOが好ましい。ホール注

入電極の厚さは、ホール注入を十分行える一定以上の厚 さを有すれば良く、通常10~500nm程度とすると とが好ましい。また、ホール注入電極の材料には、素子 の信頼性を向上させるために駆動電圧が低いことが必要 であるが、好ましいものとして、10~300/□ (膜 厚50~300 nm)の「TOが挙げられる。実際に使 用する場合には、IT〇等のホール注入電極界面での反 射による干渉効果が、光取り出し効率や色純度を十分に 満たすように、電極の膜厚や光学定数を設定すればよ きるが、スパッタ法により形成されることが好ましい。 スパッタガスは、特に制限されるものではなく、Aェ、 He、Ne、Kr、Xe等の不活性ガス、あるいはこれ らの混合ガスを用いればよい。

【0073】電子注入電極は、スパッタ法等や好ましく は蒸着法で成膜される仕事関数の小さい金属、化合物ま たは合金を用いた材料で構成される。例えば、K、L i, Na, Mg, La, Ce, Ca, Sr, Ba, A 1、Ag、In、Sn、Zn、Zr等の金属元素単体、 または安定性を向上させるためにそれらを含む2成分、 または3成分の合金系を用いることが好ましい。合金系 としては、例えばAg·Mg (Ag:1~20at %), Al·Li(Li:0.3~14at%), In ·Mg (Mg:50~80at%), Al·Ca (C a:5~20at%)等が好ましい。電子注入電極薄膜 の厚さは、電子注入を十分行える一定以上の厚さとすれ ば良く、0.1mm以上、好ましくは1mm以上とすれ ばよい。また、その上限値に特に制限はないが、通常、 膜厚は100~500nm程度とすればよい。

【0074】正孔注入層は、ホール注入電極からの正孔 30 の注入を容易にする機能を有し、正孔輸送層は、正孔を 輸送する機能および電子を妨げる機能を有し、電荷注入 層、電荷輸送層とも称される。

【0075】電子注入輸送層は、発光層に用いる化合物 の電子注入輸送機能がさほど高くないときなどに設けら れ、電子注入電極からの電子の注入を容易にする機能、 電子を輸送する機能および正孔を妨げる機能を有する。 【0076】とれらの正孔注入層、正孔輸送層および電 子注入輸送層は、発光層へ注入される正孔や電子を増大 ・封止し、再結合領域を最適化させ、発光効率を改善す る働きがある。なお、電子注入輸送層は、注入機能を持 つ層と輸送機能を持つ層とに別個に設けてもよい。

【0077】発光層の厚さ、正孔注入層と正孔輸送層と を併せた厚さおよび電子注入輸送層の厚さは特に限定さ れず、形成方法によっても異なるが、通常5~100 n m程度とすることが好ましい。

【0078】正孔注入層、正孔輸送層の厚さおよび電子 注入輸送層の厚さは、再結合・発光領域の設計による が、発光層の厚さと同程度もしくは1/10~10倍程

び、電子注入層と電子輸送層とを分ける場合のそれぞれ の厚さは、注入層は1nm以上、輸送層は20nm以上 とするのが好ましい。このときの注入層、輸送層の厚さ の上限は、通常、注入層で100nm程度、輸送層で1 00 n m程度である。このような模厚については注入輸 送層を2層設けるときも同じである。

16

【0079】また、組み合わせる発光層や電子注入輸送 層や正孔注入輸送層のキャリア移動度やキャリア密度 (イオン化ポテンシャル・電子親和力により決まる)を い。とのホール注入電極は、蒸着法等によっても形成で 10 考慮しながら膜厚をコントロールするととで、再結合領 域・発光領域を自由に設計することが可能であり、発光 色の設計や、両電極の干渉効果による発光輝度・発光ス ベクトルの制御や、発光の空間分布の制御を可能にでき

> 【0080】本発明のEL素子15の発光層には、発光 機能を有する化合物である蛍光性物質を含有させる。と の蛍光性物質としては、例えば、特開昭63-2646 92号公報等に開示されているようなトリス(8-キノ リノラト) アルミニウム (Ala3) 等の金属錯体色

素、特開平6-110569号公報 (フェニルアントラ セン誘導体)、特開平6-114456号公報(テトラ アリールエテン誘導体)、特開平6-100857号公 報、特開平2-247278号公報等に開示されている ような青緑色発光材料が挙げられる。

【0081】青色発光のEL素子15は、発光層の材料 に発光波長が約400nmの「DMPhen (Trip henylamine)」を用いるとよい。この際、発 光効率を高める目的で、電子注入層(Bathocup roine)と正孔注入層(m-MTDATXA)にバ ンド・ギャップが発光層と同じ材料であるものを採用す ることが好ましい。これは、バンド・ギャップが3. 4 e V と大きい DMP h e n を発光層に用いただけでは、 電子は電子注入層に、正孔は正孔注入層にとどまるの で、発光層で電子と正孔の再結合が起こりにくいからで ある。DMPhenのようにアミン基を備える発光材料 は構造が不安定で長寿命化し難いという課題に対して は、DMPhen中で励起したエネルギーをドーパント に移動させ、ドーパントから発光させることにより解決 できる。

【0082】EL材料として、りん光発光材料を用いる ことにより発光効率を向上できる。蛍光発光材料は、そ の外部量子効率が2~3%程度である。蛍光発光材料は 内部量子効率(励起によるエネルギーが光に変わる効 率)が25%なのに対し、りん光発光材料は100%近 くに達するため、外部量子効率が高くなる。

【0083】また、EL素子の発光層のホスト材料には CBPを用いるとよい。ここでは赤色(R)や緑色

(G)、青色(B)のりん光発光材料をドーピングして いる。ドーピングした材料はすべてIrを含む。R材料 度とすればよい。正孔注入層、正孔輸送層の厚さ、およ 50 はBtp2Ir (acac)、G材料は(ppy)2I

r (acac)、B材料はFIrpicを用いると良い。

17

【0084】また、正孔注入層・正孔輸送層には、例えば、特開昭63-295695号公報、特開平2-191694号公報、特開平3-792号公報、特開平5-234681号公報、特開平5-239455号公報、特開平5-299174号公報、特開平7-126225号公報、特開平7-126226号公報、特開平8-100172号公報、EP0650955A1等に記載されている各種有機化合物を用いることができる。

【0085】なお、上記これらの正孔注入輸送層、発光 層および電子注入輸送層の形成には、均質な薄膜が形成 できることから真空蒸着法を用いることが好ましい。

【0086】(実施の形態3)以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明をする。先にも説明したように、まず、アレイ基板49に画素を駆動するTFT11を形成する。1つの画素は4個または5個のTFTで構成される。また、画素は電流プログラムされ、プログラムされた電流がEL素子15に供給される。通常、電流プログラムされた値は電圧20値としてコンデンサ19に保持される。このTFT11の組み合わせなど画素構成については後に説明をする。次に、TFT11に正孔注入電極としての画素電極48を形成する。画素電極48はフォトリソグラフィーによりパターン化する。なお、TFT11の下層、あるいは上層にはTFT11に光入射することにより発生するホトコンダクタ現象(以後、ホトコンと呼ぶ)による画質劣化を防止するために、遮光膜を形成または配置する。

【0087】プラスチック基板にTFTを形成するためには、有機半導体を形成する表面を加工し、炭素と水素 30からなるペンタセン分子を利用した電子薄膜を形成すればよい。この薄膜は、従来の結晶粒の20~100倍の大きさを持つとともに、電子デバイス製造に適した十分な半導体特性を具備する。

【0088】ベンタセン分子は、シリコン基板上で成長する際に表面の不純物に付着する傾向がある。このため、成長が不規則となり、高品質のデバイスを製造するには小さすぎる結晶粒になる。結晶粒をより大きく成長させるために、まずシリコン基板の上に、シクロヘキセンと呼ばれる分子の単一層「分子バッファ」を塗布するとよい。この層がシリコン上の「sticky sites(くっつきやすい場所)」を覆うため、清浄なま面ができてベンタセン分子が非常に大きな結晶粒にまで成長する。このような新しい結晶粒の大きなベンタセン分子の薄膜を低い温度で塗布して使うことにより、フレキシブルなトランジスタを大量生産することができる。

【0089】また、基板上にゲートとなる金属薄膜を島 状に形成し、この上にアモルファスシリコン膜を蒸着あ るいは塗布した後、加熱して半導体膜を形成してもよ い。島状に形成した部分に半導体膜が良好に結晶化す る。そのため、モビリティが良好となる。

【0090】洗浄時に酸素プラズマ、〇,アッシャーを使用すると、画素電極48の周辺部の平滑化膜71も同時にアッシングされ、画素電極48の周辺部がえぐられてしまう。この課題を解決するために、本発明では図4で示すように、画素電極48の周辺部にアクリル樹脂からなるエッジ保護膜81を形成している。エッジ保護膜81の構成材料としては、平滑化膜71を構成するアクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料10が例示され、その他、SiO,、SiNxなどの無機材料や、Al,O,なども例示される。

18

【0091】エッジ保護膜81は画素電極48のパターニング後、画素電極48間を埋めるように形成される。 もちろん、このエッジ保護膜81を2μm以上4μm以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手(メタルマスクが画素電極48と直接接しないようにするスペーサ)としてもよいことは言うまでもない。

【0092】真空蒸着装置は市販の高真空蒸着装置(日本真空技術株式会社製、EBV-6DA型)を改造した装置を用いる。主たる排気装置は排気速度1500リットル/minのターボ分子ポンプ(大阪真空株式会社製、TC1500)であり、到達真空度は約1×10eプロアで(Pa)以下であり、全ての蒸着は2~3×10eプTorr(Pa)の範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ボートに直流電源(菊水電子株式会社製、PAK10-70A)を接続して行うとよい。

[0093] このようにして真空層中に配置したアレイ 基板上に、カーボン膜20~50nmを成膜する。次 に、正孔注入層として4-(N, N-ビス(p-メチルフェニル) アミノ) -α-フェニルスチルベンを0.3 nm/sの蒸着速度で膜厚約5nmに形成する。

【0094】正孔輸送層として、N, N'ービス(4'ージフェニルアミノー4ービフェニリル)ーN, N'ージフェニルベンジジン(保土ヶ谷化学株式会社製)と、4-N, Nージフェニルアミノーαーフェニルスチルベンを、それぞれ0.3 nm/sおよび0.01 nm/sの蒸着速度で共蒸着して膜厚約80 n mに形成する。

 【0095】発光層(電子輸送層)として、トリス(8 ーキノリノラト)アルミニウム(同仁化学株式会社製)を0.3 n m/s の蒸着速度で膜厚約40 n mに形成する

【0096】次に、電子注入電極として、Al-Li合金(高純度化学株式会社製、Al/Li重量比99/1)から低温でLiのみを、約0.1nm/sの蒸着速度で膜厚約1nmに形成し、続いてそのAl-Li合金をさらに昇温し、Liが出尽くした状態から、Alのみを、約1.5nm/sの蒸着速度で膜厚約100nmに50形成し、積層型の電子注入電極とした。

【0097】このようにして作成した有機薄膜EL素子は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング7059ガラス製の封止フタ41をシール剤45(アネルバ株式会社製、商品名:スーパーパックシール953-7000)で貼り付けて表示パネルとした。なお、封止フタ41とアレイ基板49との空間には乾燥剤55を配置する。これは、有機EL膜が湿度に弱いため、乾燥剤55によりシール剤45を浸透する水分を吸収し、有機EL層47の劣化を防止しているのである。

19

【0098】シール剤45からの水分の浸透を抑制するためには外部からの経路(パス)を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹部43、凸部44を形成している。アレイ基板49の周辺部に形成した凸部44は少なくとも二重に形成する。凸と凸との間隔(形成ビッチ)は100μm以上500μm以下に、また、凸の高さは30μm以上300μm以下とすることが好ましい。この凸部はスタンパ技術で形成する。このスタンパ技術にはオムロン社がマイクロレンズ形成方法として採20用している方式、松下電器がCDのビックアップレンズで微小レンズの形成方法として用いている方式を応用する。

【0099】一方、封止フタ41にも凹部43を形成する。凹部43の形成ビッチは凸部44の形成ビッチと同一にする。このように、形成ビッチを同一にすることで凹部43に凸部44がちょうどはまり込み、表示パネルの製造時に封止フタ41とアレイ基板49との間に位置ずれが発生しない。凹部43と凸部44間にはシール剤45を配置する。シール剤45は封止フタ41とアレイ30基板49とを接着するとともに、外部からの水分の浸入を防止する。

【0100】シール剤45としてはUV(紫外線)硬化型でアクリル系の樹脂からなるものを用いること、また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。特に、シール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で65%以上95%以下の40割合で添加し、この微粉末の粒子径の平均直径を20μm以上100μm以下とすることが好ましい。これは微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなるからである。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

【0101】乾燥剤の重量はシールの長さ10mmあたり0.04g以上0.2g以下、特に0.06g以上0.15g以下とすることが望ましい。これは乾燥剤の量が少なすぎると、水分防止効果が薄れ、すぐに有機E50

L層が劣化するためである。逆に多すぎると、乾燥剤が シールをする際に障害となり、良好なシールを行うこと ができない。

【0102】図2ではガラスの封止フタ41を用いて封 止する構成であるが、図5のようにフィルムを用いた封 止であってもよい。例えば、封止フィルムとしては電解 コンデンサのフィルムにDLC(ダイヤモンド ライク カーボン)を蒸着したものを用いることが例示され る。このフィルムは水分浸透性が極めて悪い(防湿)の で、封止膜73として使用できる。また、DLC膜を透 明電極72の表面に直接蒸着する構成でもよい。薄膜の 膜厚はn・d(nは薄膜の屈折率、複数の薄膜が積層さ れている場合はそれらの屈折率を総合(各薄膜のn・d を計算)して計算する。dは薄膜の膜厚、複数の薄膜が 積層されている場合はそれらの屈折率を総合して計算す る。) が、EL素子15の発光主波長 λ以下となるよう にするとよい。この条件を満たすことにより、EL素子 15からの光取り出し効率が、ガラス基板で封止した場 合に比較して2倍以上になる。また、アルミニウムと銀 の合金あるいは混合物あるいは積層物を形成してもよ

【0103】有機EL層47から発生した光の半分は、反射膜46で反射され、アレイ基板49を透過して出射される。しかし、反射膜46は外光を反射するため写り込みが発生し、表示コントラストを低下させる。この対策のために、アレイ基板49に入/4板50および偏光板54を配置している。なお、画素が反射電極の場合は、有機EL層47から発生した光は上方向に出射される。したがって、入/4板50および偏光板54は光出射側に配置されなければならない。なお、反射型画素は、画素電極48を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極48の表面に、凸部(もしくは凹凸部)を設けることで有機EL層47との界面が広くなって発光面積が大きくなり、発光効率が向上する。

【0104】アレイ基板49と偏光板(偏光フィルム)54間には1枚あるいは複数の位相フィルム(位相板、位相回転手段、位相差板、位相差フィルム)が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。この位相フィルムは入射光を出射光に対して位相差を発生させ、効率よく光変調を行うのに寄与する。

【0105】その他、位相フィルムとして、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。1つの位相板の位相差は一軸方向に50nm以下とすることが好ましい。

【0106】なお、図5に図示するように、位相フィル ムと偏光板とを一体化した円偏光板74(円偏光フィル ム)を用いてもよい。

21

【0107】 A/4板(位相フィルム)50は染料ある いは顔料で着色し、カラーフィルタとしての機能をもた せることが好ましい。特に、有機EL層は赤(R)の純 度が悪いので、着色したλ/4板50で一定の波長範囲 をカットして色温度を調整する。カラーフィルタは、染 色フィルタとして顔料分散タイプの樹脂で設けられるの して、吸収されなかった波長帯域の光を透過する。

【0108】以上のように、位相フィルムの一部もしく は全体を着色したり、一部もしくは全体に拡散機能をも たせてもよい。また、表面をエンボス加工したり、反射 防止のために反射防止膜を形成してもよい。また、画像 表示に有効でない箇所もしくは支障のない箇所に、遮光 膜もしくは光吸収膜を形成し、表示画像の黒レベルをひ きしめたり、ハレーション防止によるコントラスト向上 効果を発揮させたりすることが好ましい。また、位相フ ィルムの表面に凹凸を形成することにより、かまぽこ状 20 あるいはマトリックス状にマイクロレンズを形成しても よい。マイクロレンズは1つの画素電極あるいは3原色 の画素にそれぞれ対応するように配置する。

【0109】先にも記述したが、カラーフィルタの形成 時に圧延、もしくは光重合により位相差を発生させると とができるので、位相フィルムの機能はカラーフィルタ に持たせてもよい。その他、図5の平滑化膜71を光重 合させることにより位相差を持たせてもよい。このよう に構成すれば、位相フィルムを基板外に構成あるいは配 置する必要がなくなり、表示パネルの構成も簡易になり 30 低コスト化が望める。なお、以上の事項は偏光板54に も適用できる。

【0110】偏光板54はヨウ素などをポリビニールア ルコール (PVA) 樹脂に添加した樹脂フィルムのもの が例示される。一対の偏光分離手段の偏光板は入射光の うち特定の偏光軸方向と異なる方向の偏光成分を吸収す ることにより偏光分離を行うので、光の利用効率が比較 的悪い。そとで、入射光のうち、特定の偏光軸方向と異 なる方向の偏光成分(reflective pola rizer:リフレクティブ・ポラライザー)を反射す 40 ることにより偏光分離を行う反射偏光子を用いてもよ い。このように構成すれば、反射偏光子により光の利用 効率が高まって、偏光板を用いた上述の例よりもより明 るい表示が可能となる。

【0111】また、このような偏光板や反射偏光子以外 にも、本発明の偏光分離手段としては、コレステリック 液晶層と(1/4) λ板を組み合わせたもの、ブリュー スターの角度を利用して反射偏光と透過偏光とに分離す るもの、ホログラムを利用するもの、偏光ビームスプリ ッタ (PBS) 等を用いることも可能である。

【0112】なお、図2では図示していないが、偏光板 54の表面にはAIRコートを施している。

22

【0113】画素電極48にはTFTが接続されるとし たがこれに限定されるものではない。アクティブマトリ ックスには、スイッチング素子として薄膜トランジスタ (TFT) の他、ダイオード方式(TFD)、バリス タ、サイリスタ、リングダイオード、ホトダオード、ホ トトランジスタ、FET、MOSトランジスタ、PLZ T素子などでも可能である。つまり、スイッチング素 が一般的であり、この顔料が特定の波長帯域の光を吸収 10 子、駆動素子を構成するものはこれらのいずれでも使用 することができる。

> 【0114】また、TFTにはLDD(ロー ドーピン グ ドレイン) 構造を採用することが好ましい。なお、 TFTとは、FETなどスイッチング等のトランジスタ 動作をするすべての素子一般を意味する。また、EL膜 の構成、パネル構造などは単純マトリックス型表示パネ ルにも適用できる。また、本明細書ではEL素子として 有機EL素子(OEL、PEL、PLED、OLED) を例にあげて説明するがこれに限定されるものではな く、無機EL素子にも適用される。

> 【0115】有機Eし表示パネルに用いられるアクティ ブマトリックス方式は、(1)特定の画素を選択し、必 要な表示情報を与えられること、(2)1フレーム期間 を通じてEL素子に電流を流すことができることという 2つの条件を満たさなければならない。

【0116】 この2つの条件を満たすため、図115に 示す従来の有機ELの素子構成において、第1のTFT 11aは画素を選択するためのスイッチング用薄膜トラ ンジスタ、第2のTFT11bはEL素子15に電流を 供給するための駆動用薄膜トランジスタとする。

【0117】ここで液晶に用いられるアクティブマトリ ックス方式と比較すると、スイッチング用TFTlla は液晶用にも必要であるが、駆動用TFTllbはEL 素子15を点灯させるために必要である。この理由とし て、液晶の場合は、電圧を印加することでオン状態を保 持することができるが、EL素子15の場合は、電流を 流し続けなければ画素16の点灯状態を維持できないか らである。

【0118】したがって、有機EL表示パネルでは電流 を流し続けるために、駆動用TFT11bをオンさせ続 けなければならない。まず、走査線、データ線が両方と もオンになると、スイッチング用TFT11aを通して コンデンサ19に電荷が蓄積される。このコンデンサ1 9が駆動用TFT111bのゲートに電圧を加え続けるた め、スイッチング用TFT11aがオフになっても、電 流供給線20から電流が流れ続け、1フレーム期間にわ たり画素16をオンできる。

【0119】この構成を用いて階調を表示させる場合、 駆動用TFT11bのゲート電圧として階調に応じた電 50 圧を印加する必要がある。したがって、駆動用TFT1

1 bのオン電流のばらつきがそのまま表示に現れる。 【0120】トランジスタのオン電流は単結晶で形成されたトランジスタであれば極めて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、±0.2V~0.5Vの範囲でその関値のばらつきを持つため、駆動用TFT11bを流れるオン電流がこれに対応してばらつき、表示にむらが発生する。これらのむらは、関値電圧のばらつきのみならず、TFTの移動度、ゲート絶縁膜の厚みなどでも発生する。また、TFT11の劣化によっても特性は変化する。

【0121】したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があり、現状の低温多結晶ポリシリコンTFTではこのばらつきを所定範囲以内に抑えるというスペックを満たせない。

【0122】この問題を解決するため、1画素内に4つのトランジスタを設けて、関値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法や、定電流 20回路を1画素ごとに形成し電流の均一化を図る方法などが考えられる。

【0123】しかしながら、これらの方法は、プログラムされる電流がEL素子15を通じてなされるため、電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し、駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。そのため、駆動電圧が高くなるという課題を有することになる。

【0124】また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要があり、この動作範囲がEL素子15の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生した場合、またはトランジスタの関値電圧の変動が発生した場合、記憶された電流値が変動するという課題もある。

【0125】本発明のEL素子構造は、上記課題に対して、EL素子15に流れる電流を制御するTFT11が、ソースフォロワ構成とならず、かつそのトランジスタにキンク電流があっても、キンク電流の影響を最小限 40に抑えることができ、記憶される電流値の変動を小さくすることができる構成である。

【0126】本発明のEL素子構造は、具体的には図6(a)に示すように、単位画素が最低4つからなる複数のTFT11ならびにEL素子15により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平滑化膜を形成して絶縁し、この絶縁膜上に画素電極を形成する。このように、ソース信号線18上に画素電極を重ねる構成をハイアパーチャ(H

A) 構造と呼ぶ。

【0127】第1のゲート信号線(第1の走査線)17 aをアクティブ(ON電圧を印加)とすることにより、第1のTFT(あるいはスイッチング素子)11aおよび第3のTFT(あるいはスイッチング素子)11cを通して、前記EL素子15に流すべき電流値を流し、第1のTFT11aのゲートとドレイン間を短絡するように第2のTFT11bが第1のゲート信号線17aをアクティブ(ON電圧を印加)とすることで開くと共に、10 第1のTFT11aのゲートとソース間に接続されたコンデンサ19に、前記電流値を流すように第1のTFT11aのゲート電圧(あるいはドレイン電圧)を記憶する。

【0128】なお、第1のTFT11aのソースーゲート間容量であるコンデンサ19は0.2pF以上の容量とすることが好ましい。他の構成として別途、コンデンサ19を形成する例もある。つまり、これはコンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。M3トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からは、このように別途コンデンサを構成する方が好ましい。なお、コンデンサ19の大きさは、0.2pF以上2pF以下、中でも0.4pF以上1.2pF以下とすることがよい。

【0129】また、コンデンサ19は隣接する画素間の非表示領域に形成されることが好ましい。一般的に、フルカラー有機EL層を作成する場合、有機EL層をメタルマスクによるマスク蒸着で形成するため、有機EL層の形成位置にマスク位置ずれが発生し、各色の有機EL層が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10μm以上離れなければならず、また、この部分は発光に寄与しない部分となる。したがって、コンデンサ19をこの領域に形成することは開口率向上のために有効な手段となる。

【0130】次に、第1のゲート信号線17aを非アクティブ(OFF電圧を印加)、第2のゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のTFT11aならびにEL素子15に接続された第4のTFT11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する。

【0131】この回路は1画素内に4つのTFT11を有しており、第1のトランジスタM1のゲートは第2のトランジスタM2のソースに接続されており、第2のトランジスタM2をよび第3のトランジスタM3のゲートは第1のゲート信号線17aに、第2のトランジスタM2のドレインは第3のトランジスタM3のソースならびに第4のトランジスタM4のソースに接続され、第3のトランジスタM3のドレインはソース信号線18に接続50されている。第4のトランジスタM4のゲートは第2の

ゲート信号線17bに接続され、第4のトランジスタM 4のドレインはEL素子15のアノード電極に接続され ている。

25

【0132】なお、図6ではすべてのTFTはPチャン ネルで構成している。Pチャンネルは多少、Nチャンネ ルのTFTと比較してモビリティが低いが、耐圧が大き くまた劣化も発生しにくいので好ましい。しかし、本発 明はEL素子構成をPチャンネルで構成することのみに 限定されるものではない。Nチャンネルのみで構成して もよいし (図70、図71、図75などを参照)、ま た、NチャンネルとPチャンネルの両方を用いて構成し てもよい。

【0133】なお、第3および第4のトランジスタは同 一の極性で構成し、かつNチャンネルで構成し、第1お よび第2のトランジスタはPチャンネルで構成すること が好ましい。一般的に、PチャンネルトランジスタはN チャンネルトランジスタと比較して、信頼性が高い、キ ンク電流が少ないなどの特長があり、電流を制御すると とによって目的とする発光強度を得るEL素子に対して は、第1のTFT11aをPチャンネルにすると効果が 20 大きくなる。

[0134] (実施の形態4)以下、本発明のEL素子 構成について図7を用いて説明する。本発明のE L素子 構成は2つのタイミングにより制御される。第1のタイ ミングは、必要な電流値を記憶させるタイミングであ る。このタイミングでTFT11bならびにTFT11 cがONすることにより、等価回路として図7(a)と なる。ことで、信号線より所定の電流11が書き込ま れ、TFT11aはゲートとドレインが接続された状態 となり、このTFTllaとTFTllcを通じて電流 30 Ilが流れる。したがって、TFT11aのゲートーソ ース間の電圧は電流Ilが流れるようにVlとなる。 【0135】第2のタイミングは、TFT11aとTF T11cが閉じ、TFT11dが開くタイミングであ り、そのときの等価回路は図7(b)となる。この場 合、M1のTFT11aは常に飽和領域で動作するため 電流11は一定となり、TFT11aのソースーゲート 間の電圧V1は保持されたままとなる。

[0136]なお、TFT11aのゲートとTFT11 cのゲートは同一のゲート信号線17aに接続してい る。しかし、TFT11aのゲートとTFT11cのゲ ートとを異なるゲート信号線17 b に接続してもよい (SA1とSA2とを個別に制御できるようにする)。 つまり、1画素のゲート信号線は3本となる(図6の構 成は2本である)。TFTllaのゲートのON/OF FタイミングとTFT11cのゲートのON/OFFタ イミングを個別に制御することにより、TFT11のば らつきによるEL素子15の電流値ばらつきをさらに低 減することができる。

信号線17bとを共通にし、第3および第4のトランジ スタを異なった導電型(NチャンネルとPチャンネル) とすると、駆動回路の簡略化、ならびに画素の開口率を 向上させることが出来る。このように構成すれば、本発 明の動作タイミングとしては信号線からの書き込み経路 がオフになる。すなわち、所定の電流が記憶される際 に、電流の流れる経路に分岐があると、正確な電流値が Mlのソース-ゲート間容量(コンデンサ)に記憶され ない。第3のトランジスタM3と第4のトランジスタM 4を異なった導電形とし、お互いの関値を制御すること によって走査線の切り替わりのタイミングで必ずM3が オフした後にM4がオンすることを可能にする。ただし この場合、お互いの関値を正確にコントロールする必要 があるのでプロセスへの注意を要する。

【0138】なお、以上述べた回路は最低4つのトラン ジスタで実現可能であるが、より正確なタイミングのコ ントロールあるいは後述するように、ミラー効果低減の ためにTFT11e (M5)を図6 (b) に示すように カスケード接続してトランジスタの総数を4以上にして も動作原理は同じである。このように、TFT11eを 加えた構成とすることにより、第3のトランジスタM3 を介してプログラムした電流をより精度よく E L 素子 1 5に流すことができるようになる。

【0139】図6の構成において、第1のTFT11a の飽和領域における電流値 I d s が下式の条件を満たす ことがさらに好ましい。なお、下式においてλの値は、 隣接する画素間において、0.01以上0.06以下の 条件を満たす。

[0140] Ids=k\*(Vgs-Vth)'(1+ Vds\*λ)

本発明では、TFT11aの動作範囲を飽和領域に限定 するが、一般的に飽和領域におけるトランジスタ特性 は、理想的な特性より外れ、ソースードレイン間電圧の 影響を受ける(ミラー効果)。

[0 1 4 1] 隣接する画素におけるそれぞれのTFT1 1aに△Vtなる閾値のシフトが発生した場合を考え る。との場合、記憶される電流値は同じである。関値の シフトをΔLとすれば、約ΔV×λはTFT11aの関 値が変動することによる、Eし素子15の電流値のずれ に相当する。したがって、電流のずれをx(%)以下に 抑えるためには、閾値のシフトの許容量を隣接する画素 間でy (V) として、λは0. 01×x/y以下でなけ ればならないことが判る。この許容値はアプリケーショ ンの輝度により変化する。輝度が100cd/m゚~1 000cd/m'までの輝度領域においては、変動量が 2%以上あれば人間は変動した境界線を認識する。 した がって、輝度(電流量)の変動量が2%以内であること が必要である。輝度が100cd/cm゚より高い場合 は隣接する画素の輝度変化量は2%以上となる。本発明 【0137】第1のゲート信号線17aと第2のゲート 50 のEL表示素子を携帯端末用ディスプレイとして用いる

場合、その要求輝度は100cd/m'程度である。実 際に、図6の画素構成を試作し、関値の変動を測定する と、隣接する画素のTFTllaにおいては閾値の変動 の最大値は0.3Vであることが判った。したがって、 輝度の変動を2%以内に抑えるためには $\lambda$ は0.06以 下でなければならない。しかし、人間が変化を認識する ことができないので、0.01以下にする必要はない。 また、この閾値のばらつきを達成するためにはトランジ スタサイズを十分大きくする必要があり、非現実的であ 3.

【0142】また、第1のTFT11aの飽和領域にお ける電流値 I d s が下式を満たすように構成されること が好ましい。なお、λの変動は隣接する画素間において 1%以上5%以下とする。

[0143] Ids = k\*  $(Vgs-Vth)^2(1+$ Vds\*λ)

隣接する画素間において、たとえ関値の変動が存在しな い場合でも上記式のAに変動があれば、EL素子を流れ る電流値が変動する。変動を±2%以内に抑えるために は、λの変動を±5%に抑えなければならない。しか し、人間が変化を認識することができないので、1%以 下にする必要はない。また、1%以下を達成するために はトランジスタサイズを相当に大きくする必要があり、 非現実的である。

【0144】また、実験、アレイ試作および検討によれ ば、第1のTFTllaのチャンネル長を10μm以上 200 mm以下、さらには、15 mm以上150 mm以 下とすることが好ましい。これは、チャンネル長しを長 くした場合、チャンネルに含まれる粒界が増えることに よって電界が緩和され、キンク効果が低く抑えられるた 30 めであると考えられる。

【0145】また、画素を構成するTFT11が、レー ザー再結晶化方法(レーザアニール)により形成された ポリシリコンTFTで形成され、すべてのトランジスタ におけるチャンネルの方向がレーザーの照射方向に対し て同一の方向であることが好ましい。

【0146】本発明の目的は、トランジスタ特性のばら つきが表示に影響を与えない回路構成を提案するもので あり、そのためにトランジスタが4つ以上必要である。 これらのトランジスタ特性により回路定数を決定する場 40 ランジスタの(チャンネル幅W)\*(チャンネル長L) 合、4つのトランジスタの特性がそろわなければ、適切 な回路定数を求めることが困難である。レーザー照射の 長軸方向に対して、チャンネル方向が水平の場合と垂直 の場合では、トランジスタ特性の閾値と移動度が異なっ て形成される。なお、どちらの場合もばらつきの程度は 同じである。水平方向と垂直方向では移動度、閾値の平 均値が異なるので、画素を構成するすべてのトランジス タのチャンネル方向は同一である方が望ましい。

【0147】また、コンデンサ19の容量値をCs、第 2のTFT11bのオフ電流値をloffとした場合、

次式を満たすことが好ましい。 [0148]3<Cs/loff<24 さらに好ましくは、次式を満たすことが好ましい。 [0149]6<Cs/loff<18 TFT11bのオフ電流を5pA以下とすることによ り、EL素子を流れる電流値の変化を2%以下に抑える ことが可能である。これはリーク電流が増加すると、電 圧非書き込み状態においてゲート-ソース間 (コンデン **サの両端)に貯えられた電荷を1フィールド間保持でき** 10 ないためである。したがって、コンデンサ19の蓄積用 容量が大きければオフ電流の許容量も大きくなる。前記 式を満たすことによって隣接画素間の電流値の変動を2

【0150】また、アクティブマトリックスを構成する トランジスタがp-chポリシリコン薄膜トランジスタ によって構成され、TFT11bがデュアルゲート構造 以上であるマルチゲート構造とされることが好ましい。 TFT11bは、TFT11aのソースードレイン間の スイッチとして作用するため、できるだけON/OFF 比の高い特性が要求される。この要求を満たすために、 TFT11bのゲートの構造をマルチゲート構造とする ことでON/OFF比の高い特性を実現できるようにな るのである。

%以下に抑えることができる。

【0151】また、アクティブマトリックスを構成する トランジスタがポリシリコン薄膜トランジスタで構成さ れており、各トランジスタの (チャンネル幅W) \* (チ ャンネル長L)を54μm³以下とすることが好まし い。(チャンネル幅W)\*(チャンネル長L)とトラン ジスタ特性のばらつきとは相関がある。トランジスタ特 性におけるばらつきの原因は、レーザーの照射によるエ ネルギーのばらつきなどに起因するものが多く、これを 吸収するためには、できるだけレーザーの照射ピッチ (一般的には10数μm) をチャンネル内により多く含 む構造とすることが望ましい。そこで、各トランジスタ の (チャンネル幅W) \* (チャンネル長L) を5 4 μ m \*以下とすることによりレーザー照射に起因するばらつ きがなく、特性のそろった薄膜トランジスタを得ること ができる。なお、あまりにもトランジスタサイズが小さ くなると面積による特性ばらつきが発生するので、各ト は9 μ m ' 以上、さらには、16 μ m ' 以上45 μ m ' 以 下となるようにすることが好ましい。

【0152】また、隣接する単位画素での第1のTFT 11aの移動度変動を20%以下にすることが好まし い。なぜなら、移動度が不足することによりスイッチン グトランジスタの充電能力が劣化し、時間内に必要な電 流値を流すまでに、第1のトランジスタM1のゲートー ソース間の容量が充電できないからである。したがっ て、移動のばらつきを20%以内に抑えることで画素間 50 の輝度のばらつきを認知限以下にすることができる。

【0153】以上、図6を画素構成として説明したが、 これらは図8、図9に図示する構成にも適用することが できる。以下、図8などの画累構成について説明する。 【0154】EL素子15に流す電流を設定する時、変 換用TFTllaに流す信号電流をIw、その結果、変 換用TFT11aに生ずるゲート-ソース間電圧をVg sとする。書き込み時はTFTlldによって変換用T FT11aのゲートードレイン間が短絡されているの で、変換用TFTllaは飽和領域で動作する。よっ て、信号電流丨wは、以下の式で与えられる。 [0155] (数1) Iw=μ1·Cox1·W1/ L1/2 (Vgs-Vth1)<sup>2</sup> ここでのCoxは単位面積当たりのゲート容量であり、 Cox=ε0·εr/dで与えられる。VthはTFT の関値、μはキャリアの移動度、Wはチャンネル幅、L はチャンネル長、 $\epsilon$  0 は真空の移動度、 $\epsilon$  r はゲート絶

【0156】E L素子15に流れる電流を I d d とすると、I d d は、E L素子15と直列に接続される駆動用 20 TFT11bによって電流レベルが制御される。本発明では、そのゲートーソース間電圧が(数1)式のVgsに一致するので、駆動用TFT11bが飽和領域で動作すると仮定すれば、以下の式が成り立つ。

**縁膜の比誘電率を示し、d はゲート絶縁膜の厚みであ** 

[0157] ( $\pm 2$ ) Idrv= $\mu 2 \cdot \text{Cox} 2 \cdot \text{W}$ 2/L2/2 (Vgs-Vth2)<sup>2</sup>

絶縁ゲート電界効果型の薄膜トランジスタ(TFT)が 飽和領域で動作するための条件は、Vdsをドレインー ソース間電圧として、一般に以下の式で与えられる。 【0158】

[0159](数4) | Idrv/Iw=(W2/L 2)/(W1/L1)

ててで注意すべき点は、(数1)式及び(数2)式にお 40 いて、μ、Cox、Vthの値自体は、画素毎、製品 毎、あるいは製造ロット毎にばらつくのが普通であるが、(数4)式はこれらのパラメータを含まないので、 Idrv/Iwの値はこれらのばらつきに依存しないということである。仮に、W1=W2、L1=L2と設計すれば、Idrv/Iw=1、すなわちIwとIdrvが同一の値となり、EL素子15に流れる駆動電流Iddは、TFTの特性ばらつきによらず、正確に信号電流 Iwと同一になるので、結果としてEL素子15の発光 輝度を正確に制御できる。 50

【0160】以上のように、変換用TFT11aの関値 Vth1と駆動用TFT11bの関値Vth2は基本的 に同一である為、両TFTにおける共通電位にあるゲートに対してカットオフレベルの信号電圧が印加される と、変換用TFT11a及び駆動用TFT11bは共に 非導通状態になるはずである。ところが、実際には画素 内でもパラメータのばらつきなどの要因により、Vth 1よりもVth2が低くなってしまうことがある。この時、駆動用TFT11bにサブスレッショルドレベルの リーク電流が流れる為、EL素子15が微発光を呈する。この微発光により画面のコントラストが低下し、表示特性が損なわれる。

30

【0161】本発明では特に、駆動用TFT11bの関電圧Vth2が画素内で対応する変換用TFT1laの関電圧Vth1より低くならないように設定している。例えば、駆動用TFT11bのゲート長L2を変換用TFT1laのゲート長L1よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、Vth2がVth1よりも低くならないようにしており、微少な電流リークを抑制することが可能である。以上の事項は図6の変換用TFT1laとTFT1ldの関係にも適用される。

【0162】図8に示すように、信号電流が流れる変換用TFT11a、EL素子15等からなる発光素子に流れる駆動電流を制御する駆動用TFT11bの他、第1の走査線scanA(SA)の制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用TFT11c、第2の走査線scanB(SB)の制御によって書き込み期間中に変換用TFT11aのゲートードレイン間を短絡するスイッチング用TFT11d、変換用TFT11aのゲートーソース間電圧を書き込み終了後も保持するためのコンデンサ19および発光素子としてのEL素子15などから構成される。このように、ゲート信号線は各画素2本であることから、前述した図6などに基づく本発明の明細書全体の構成、機能、動作などを適用することができる。

【0163】図8におけるTFT11cはNチャンネルMOS(NMOS)、その他のトランジスタはPチャンネルMOS(PMOS)で構成されているが、これは一例であって、必ずしもこの通りである必要はない。コンデンサ19は、その一方の端子が変換用TFT11aのゲートに接続され、他方の端子はVdd(電源電位)に接続されているが、Vddに限らず任意の一定電位でも良い。EL素子15のカソード(陰極)は接地電位に接続されている。したがって、以上の事項は図6などにも適用されることは言うまでもない。

[0164]図8の構成は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流Iwを生成して逐次デ50 ータ線dataに供給する電流源CSを含むデータ線駆

動回路と、各走査線scanA、scanB及び各デー タ線dataの交差部に配されて、駆動電流の供給を受 けて発光する電流駆動型のEL素子15を含む複数の画 素とを備えている。

【0165】特徴事項として図8に示した画素構成は、 当該走査線 s c a n A が選択された時、当該データ線 d a t aから信号電流 l wを取り込む受入部 (具体的に は、取込用TFT11cから構成される)と、取り込ん だ信号電流Iwの電流レベルを一旦電圧レベルに変換し て保持する変換部と、保持された電圧レベルに応じた電 10 流レベルを有する駆動電流を当該発光素子OLED(他 に、EL、OEL、PEL、PLEDと略称する場合が ある) に流す駆動部とからなる。

【0166】前記変換部は、ゲート、ソース、ドレイン 及びチャネルを備えた変換用TFT11aと、そのゲー トに接続したコンデンサ19とを含んでいる。変換用T FT11a、受入部によって取り込まれた信号電流Iw をチャネルに流して変換された電圧レベルをゲートに発 生させ、コンデンサ19に生じた電圧レベルを保持す る。

【0167】また、前記変換部は、変換用TFT11a のドレインとゲートとの間に挿入されたスイッチング用 TFT11dを含んでいる。スイッチング用TFT11 dは、信号電流Iwの電流レベルを電圧レベルに変換す る時に導通し、変換用TFT11aのドレインとゲート を電気的に接続してソースを基準とする電圧レベルを変 換用TFT11aのゲートに生ぜしめる。又、スイッチ ング用TFT11dは、電圧レベルをコンデンサ19に 保持する時に遮断され、変換用TFT11aのゲート及 びこれに接続したコンデンサ19を変換用TFT11a のドレインから切り離す。

【0168】また、前記駆動部は、ゲート、ドレイン、 ソース及びチャネルを備えた駆動用TFT11bを含ん でいる。駆動用TFT11bは、コンデンサ19に保持 された電圧レベルをゲートに受け入れ、それに応じた電 流レベルを有する駆動電流がチャネルを介してEL素子 15に流れる。変換用TFT11aのゲートと駆動用T FT11bのゲートとが直接接続されてカレントミラー 回路を構成し、信号電流Iwの電流レベルと駆動電流の 電流レベルとが比例関係となるようにしている。

【0169】駆動用TFT11bは飽和領域で動作し、 そのゲートに印加された電圧レベルと関電圧との差に応 じた駆動電流をEL素子15に流す。

【0170】駆動用TFT11bは、その関電圧が画素 内で対応する変換用TFT11aの関電圧より低くなら ないように設定されている。具体的には、駆動用TFT 11bは、そのゲート長が変換用TFT11aのゲート 長より短くならないように設定されている。あるいは、 駆動用TFT11bは、そのゲート絶縁膜が画素内で対 応する変換用TFTllaのゲート絶縁膜より薄くなら 50 3)式が成立し、変換用TFTllaは飽和領域で動作

ないように設定されても良い。

【0171】また、駆動用TFT11bは、そのチャネ ルに注入される不純物濃度を調整して、関電圧が画素内 で対応する変換用TFT11aの関電圧より低くならな いように設定されてもよい。仮に、変換用TFT11a と駆動用TFTIIbの関電圧が同一となるように設定 した場合、共通接続された両薄膜トランジスタのゲート にカットオフレベルの信号電圧が印加されると、変換用 TFT11a及び駆動用TFT11bは両方共オフ状態 になるはずである。ところが、実際には画素内にも僅か ながらプロセスパラメータのばらつきがあり、変換用T FT11aの関電圧より駆動用TFT11bの関電圧が 低くなる場合がある。

32

【0172】との時には、カットオフレベル以下の信号 電圧でもサブスレッショルドレベルの微弱電流が駆動用 TFT11bに流れる為、EL素子15は微発光し、画 面のコントラスト低下が現れる。そこで、駆動用TFT 11 bのゲート長を変換用TFT11 aのゲート長より も長くしている。とれにより、薄膜トランジスタのプロ 20 セスパラメータが画素内で変動しても、駆動用TFT1 lbの関電圧が変換用TFT11aの関電圧よりも低く ならない。

【0173】ゲート長しが比較的短い短チャネル効果領 域Aでは、ゲート長Lの増加に伴いTFTの閾値Vth が上昇する。一方、ゲート長しが比較的大きな抑制領域 Bではゲート長しに関わらず、TFTの閾値Vthはほ ぼ一定である。この特性を利用して、駆動用TFT11 bのゲート長を変換用TFT11aのゲート長よりも長 くしている。例えば、変換用TFTllaのゲート長が 7μmの場合、駆動用TFT11bのゲート長を10μ m程度にする。

【0174】変換用TFT11aのゲート長が短チャネ ル効果領域Aに属する一方、駆動用TFT11bのゲー ト長が抑制領域Bに属するようにしても良い。これによ り、駆動用TFTllbにおける短チャネル効果を抑制 することができるとともに、プロセスパラメータの変動 による関電圧低減を抑制可能とする。以上により、駆動 用TFT11bに流れるサブスレッショルドレベルのリ ーク電流を抑制してEL素子15の微発光を抑え、コン 40 トラスト改善に寄与可能である。

【0175】図8に示した画素回路の駆動方法を簡潔に 説明する。先ず、書き込み時には第1の走査線scan A、第2の走査線scanBを選択状態とする。両走査 線が選択された状態でデータ線 d a t a に電流源 C S を 接続することにより、変換用TFT11aに輝度情報に 応じた信号電流Iwが流れる。電流源CSは輝度情報に 応じて制御される可変電流源である。このとき、変換用 TFT11aのゲートードレイン間はスイッチング用T FT11dによって電気的に短絡されているので(数

する。したがって、そのゲート-ソース間には(数1) 式で与えられる電圧Vgsが生ずる。

【0176】次に、第1の走査線scanA、第2の走査線scanBを非選択状態とする。詳しく述べると、まず第2の走査線scanBを低レベルとしてスイッチング用TFT11dをoff状態とする。これによって、電圧Vgsがコンデンサ19によって保持される。次に、第1の走査線scanAを高レベルにしてoff状態とすることにより、画素回路とデータ線dataとが電気的に遮断されるので、その後はデータ線dataを介して別の画素への書き込みを行うことができる。ことで、電流源CSが信号電流の電流レベルとして出力するデータは、第2の走査線scanBが非選択となる時点では有効とされるが、その後は任意のレベル(例えば、次の画素の書き込みデータ)とされて良い。

【0177】駆動用TFT11bは変換用TFT11aとゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、駆動用TFT11bが飽和領域で動作していれば、駆動用TFT11bを流れる電流は(数2)式で与えられ、とれがすなわちEL素子15に流れる駆動電流1ddとなる。駆動用TFT11bを飽和領域で動作させるには、EL素子15での電圧降下を考慮してもなお(数3)式が成立するよう、十分な電源電位をVdd電圧に与えれば良い。

【0178】なお、図6(b)などと同様に、インビーダンスを増大させることなどを目的として、図9に図示するように、TFT11e、11fを付加しても良く、これによりより良好な電流駆動を実現できる。他の事項は図6で説明しているで省略する。

【0179】とのようにして作製した図6、図8などで説明したEL表示素子に直流電圧を印加し、10 mA/c m²の一定電流密度で連続駆動させた。EL構造体においては、7.0 V、200 c d/c m²の緑色(発光極大波長 $\lambda$  max=460 nm)の発光が確認できた。背色発光部では、輝度100 c d/c m² で、色座標がx=0.129、y=0.105、緑色発光部では、輝度200 c d/c m² で、色座標がx=0.340、y=0.625、赤色発光部では、輝度100 c d/c m² で、色座標がx=0.340、y=0.625、赤色発光部では、輝度100 c d/c m² で、色座標がx=0.380 発光

[0180] (実施の形態5)以下、図6、図8、図9などを用いた表示装置、表示モジュール、情報表示装置およびその駆動回路と駆動方法などについて説明をする。

【0181】フルカラー有機EL表示パネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機EL層からの光を遮るTFTの面積を小さくすればよい。低温多結晶

34

Si-TFTはアモルファスシリコンと比較して10~100倍の性能を持ち、その上、電流の供給能力が高いため、TFTのサイズを非常に小さくできる。したがって、有機EL表示パネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまう。

【0182】ゲートドライバ12あるいはソースドライバ14などの駆動回路をアレイ基板49上に形成することにより、電流駆動の有機EL表示パネルで特に問題になる抵抗を下げることができる。つまり、TCPの接続抵抗がなくなる上に、TCP接続の場合に比べて電極からの引き出し線が2~3mm短くなり、配線抵抗が小さくなる。さらに、TCP接続のための工程がなくなる、材料コストが下がるという利点がある。

【0183】(実施の形態6)次に、本発明のEL表示 パネルあるいはEL表示装置について説明をする。図 1 OはEL表示装置の回路を中心とした説明図である。画 素16がマトリックス状に配置または形成されている。 各画素 16 には各画素の電流プログラムを行う電流を出 力するソースドライバ14が接続されている。ソースド ライバ14の出力段には映像信号のビット数に対応した カレントミラー回路が形成されている。例えば、64階 調であれば、63個のカレントミラー回路が各ソース信 号線ごとに形成され、これらのカレントミラー回路の個 数を選択することにより所望の電流をソース信号線18 に印加できるように構成されている。なお、1つのカレ ントミラー回路の最小出力電流は10nA以上50nA 以下、特に15nA以上35nA以下にすることがよ い。これはソースドライバ14内のカレントミラー回路 30 を構成するトランジスタの精度を確保するためである。 【0184】また、ソース信号線18の電荷を強制的に 放出または充電するプリチャージあるいはディスチャー ジ回路を内蔵する。この回路の電圧(電流)出力値は、 EL素子15の閾値がRGBで異なるので、R、G、B で独立して設定できるように構成することが好ましい。 【0185】以上、今までに説明してきた画素構成、ア レイ構成、パネル構成などは、この後に説明する構成、 方法、装置に適用されるととは言うまでもない。

【0186】有機E L素子には大きな温度依存性特性 (温特)があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力 電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。この場合、選択するE L材料で一義的に決定されるので、ソフト制御するマイコンなどを必要としない場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよいということである。重要なのは発光色材料により温特が異なっている点であり、発光色

36

どとに最適な温特補償を行う必要がある点である。

【0187】あるいは、温特補償をマイコンで行っても よい。温度センサでEL表示パネルの温度を測定し、測 定した温度によりマイコン(図示せず)などで変化させ る。また、切り替え時に基準電流などをマイコン制御な どにより自動的に切り替えてもよいし、特定のメニュー を表示できるように制御してもよい。また、マウスなど を用いて切り替えたり、EL表示装置の表示画面をタッ チパネルにし、かつメニューを表示して特定箇所を押さ えることにより切り替えできるように構成してもよい。 【0188】本発明において、ソースドライバ14は半 導体シリコンチップで形成され、ガラスオンチップ (C OG)技術でアレイ基板49のソース信号線18の端子 と接続されている。ソース信号線18などの信号線の配 線にはクロム、アルミニウム、銀などの金属配線が用い られる。これは細い配線幅で低抵抗の配線が得られるか らである。金属配線は画素が反射型の場合は工程が簡略 できるので、画素の反射膜を構成する材料で、反射膜と 同時に形成することが好ましい。

【0189】本発明はCOG技術に限定されるものでは 20なく、チップオンフィルム (COF) 技術に前述のソースドライバ14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ソースドライバ14は電源 IC102を別途作製し、3チップ構成としてもよい。

【0190】また、TCFテープを用いてもよい。TCFテープ向けフィルムは、ボリイミド・フィルムと銅(Cu)箔を、接着剤を使わずに熱圧着することができる。また、TCPテープ向けフィルムにはこの他、Cu箔の上に溶解したボリイミドを重ねてキャスト成型する方法と、ボリイミド・フィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方法がある。これらのいずれでもよいが、接着剤を使わずにボリイミド・フィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30μm以下のリード・ビッチには、接着剤を使わないCu貼り積層板の形成方法の中で、Cu層をメッキや蒸着で形成する方法がCu層の薄型化に適しているため、リード・ビッチの微細化に有利である。

【0191】一方、ゲートドライバ12は低温ポリシリコン技術で、画素のTFTと同一のプロセスで形成されている。これは、ソースドライバ14と比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術でも容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いてアレイ基板49上に実装してもよい。また、画素TFTなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成されてもよく、有機材料

で形成(有機TFT)されてもよい。

【0192】ゲートドライバ12はゲート信号線17a用のシフトレジスタ22aと、ゲート信号線17b用のシフトレジスタ22aと、ゲート信号線17b用のシフトレジスタ22bとを内蔵する。各シフトレジスタ22は正相と負相のクロック信号(CLKxP、CLKxN)と、スタートパルス(STx)で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル(ENABL)信号、シフト方向を上下逆転するアップダウン(UPDWM)信号を付加することが好ましい。またその他にも、スタートパルスがシフトレジスタウントされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC(図示せず)からの信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路と検査回路を内蔵する。

【0193】シフトレジスタ22のバッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ22の出力とゲート信号線17を駆動する出力ゲート24間には少なくとも2つ以上のインバータ回路23が形成されている。 【0194】ソースドライバ14を低温ポリシリコンな

【0194】ソースドライバ14を低温ポリシリコンな どのポリシリコン技術でアレイ基板49上に直接形成す る場合も同様であり、ソース信号線を駆動するトランス ファーゲートなどのアナログスイッチのゲートとソース ドライバのシフトレジスタ22間には複数のインバータ 回路23が形成される。以下の事項(シフトレジスタの) 出力と、信号線を駆動する出力段(出力ゲートあるいは トランスファーゲートなどの出力段間に配置されるイン バータ回路に関する事項)は、ソースドライバおよびゲ ートドライバ回路に共通の事項である。例えば、図10 ではソースドライバ14の出力が直接ソース信号線18 に接続されているように図示したが、実際には、ソース ドライバのシフトレジスタ22の出力には多段のインバ ータ回路23が接続されて、インバータ回路の出力には トランスファーゲートなど、アナログスイッチのゲート に接続されている。

【0195】インバータ回路23はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタから構成される。先にも説明したように、ゲートドライバ12のシフトレジスタ22の出力端にはインバータ回路23が多段に接続されており、その最終出力が出力ゲート24に接続されている。なお、インバータ回路23はPチャンネルのみで構成してもよい。ただしこの場合は、インバータ回路ではなく単なるゲート回路として構成してもよい。

ライバ12をシリコンチップで形成し、COG技術など 【0196】各インバータ回路23を構成するPチャンを用いてアレイ基板49上に実装してもよい。また、画 ネルまたはNチャンネルのTFTのチャンネル幅をW、 素TFTなどのスイッチング素子、ゲートドライバなど チャンネル長をL (ダブルゲート以上の場合は構成するは高温ポリシリコン技術で形成されてもよく、有機材料 50 チャンネルの幅もしくはチャンネル長を加算する)と

し、シストレジスタに近いインバータの次数を1、表示 側に近いインバータの次数をN(N段目)とする。

【0197】インバータ回路23の接続段数が多いと接続されているインバータ回路23の特性差が多重(積み重なり)され、シフトレジスタ22から出力ゲート24までの伝達時間に差が生じる(遅延時間ばらつき)。例えば、極端な場合では、図10において出力ゲート24aは1.0μsec後(シフトレジスタからパルスが出力されてから起算)にオンしている(出力電圧が切り替わっている)のに、出力ゲート24bは1.5μsec 10後(シフトレジスタからパルスが出力されてから起算)にオンしている(出力電圧が切り替わっている)という状態が生じる。

【0198】したがって、シフトレジスタ22と出力ゲート24間に作製するインバータ回路23数は少ない方がよいが、出力ゲート24を構成するTFTのチャンネルのゲート幅Wは非常に大きい方がよい。また、シストレジスタ22の出力段のゲート駆動能力は小さいので、シフトレジスタを構成するゲート回路(NAND回路など)で直接、出力ゲート24を駆動することは不可能で20ある。そのため、インバータを多段接続する必要があるが、例えば、図10のインバータ回路23dのW4/L4(Pチャンネルのチャンネル幅/Pチャンネルのチャンネル長)のサイズと、インバータ回路23cのW3/L3のサイズの比が大きいと遅延時間が長くなり、また、インバータの特性がばらつきをも大きくする。

【0199】図11に遅延時間ばらつき(点線)と遅延時間比(実線)の関係を示す。横軸は(Wn-1/Ln -1)/(Wn/Ln)で示す。例えば、図10でインパータ回路23dとインパータ回路23cのチャンネル 30 長しが同一で2W3=W4であれば、(W3/L3)/(W4/L4)=0.5である。図11のグラフにおいて、遅延時間比は(Wn-1/Ln-1)/(Wn/Ln)=0.5のときを1とし、遅延同様に時間ばらつきも1としている。

【0200】図11では(Wn-1/Ln-1)/(Wn/Ln)が大きくなるほどインバータ回路23の接続段数が多くなり、遅延時間ばらつきも大きくなることを示している。また、(Wn-1/Ln-1)/(Wn/Ln)が小さくなるほどインバータ回路23から次段の40インバータ回路23への遅延時間が長くなることを示している。このグラフから遅延時間比むよび遅延時間ばらつきを2以内にすることが設計上有利であることがわかる。したがって、次式の条件を満たせればよい。

 $[0201] 0.25 \le (Wn-1/Ln-1)/(Wn/Ln) \le 0.75$ 

また、各インバータ回路23のPチャンネルのW/L比(Wp/Lp)とNチャンネルのW/L比(Ws/Ls)とは以下の関係を満たす必要がある。

[0202]

0. 4≦(Ws/Ls)/(Wp/Lp)≦0.8 さらに、シフトレジスタの出力端から出力ゲート(あるいはトランスファーゲート)間に形成されるインバータ回路23の段数nは次式を満たすと遅延時間のばらつきも少なく良好である。

【0203】3≦n≦8モビリティμにも課題がある。 Nチャンネルトランジスタのモビリティμnが小さいと TGおよびインバータのサイズが大きくなり、消費電力 等が大きくなる。また、ドライバの形成面積が大きくなり、パネルサイズも大きくなってしまう。一方、モビリティμnが大きいとトランジスタの特性劣化を引き起こしやすいので、モビリティμnは以下の範囲がよい。 【0204】50≦μn≦150また、シフトレジスタ22内のクロック信号のスルーレートは、500 V/μsec以下にする。スルーレートが高いとNチャンネルトランジスタの劣化が激しいからである。

【0205】なお、図10でシフトレジスタの出力にはインバータ回路23を多段に接続するとしたが、NAND回路でもよい。NAND回路でもインバータを構成することができるからである。つまり、インバータ回路23の接続段数とはゲートの接続段数と考えればよい。この場合も、今まで説明したW/L比等の関係が適用される。また、以上の図10、図11を用いて説明した事項は図46、図47、図49などにも適用される。

[0206]また、図10などにおいて画素のスイッチングトランジスタがPチャンネルの時は、最終段のインバータからの出力は、オン電圧Vglがゲート信号線17に印加され、オフ電圧Vghがゲート信号線17に印加される。逆に、画素のスイッチングトランジスタがNチャンネルの時は、最終段のインバータからの出力は、オフ電圧Vghがゲート信号線17に印加され、オン電圧Vglがゲート信号線17に印加される。

【0207】以上の実施例では、ゲートドライバを高温ポリシリコンあるいは低温ポリシリコン技術などで画素16と同時に作製するとしたが、これに限定されるものではない。例えば、図12に図示するように別途、半導体チップで作製したソースドライバ14、ゲートドライバ12を表示パネル82に積載してもよい。

【0208】また、表示パネル82を携帯電話などの情報表示装置に使用する場合、ソースドライバ14、ゲートドライバ12を図12に示すように、表示パネルの一辺に実装することが好ましい(なお、このように一辺にドライバICを実装する形態を3辺フリー構成(構造)と呼ぶ。従来は、表示領域のX辺にゲートドライバ12が実装され、Y辺にソースドライバ14が実装されていた)。表示画面21の中心線が表示装置の中心になるように設計し易く、また、ドライバ1Cの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などを用いて3辺フリーの構成として作製してもよい(つまり、図12の

ソースドライバ14とゲートドライバ12のうち、少な くとも一方をポリシリコン技術でアレイ基板49に直接 形成する)。

【0209】なお、3辺フリー構成とは、アレイ基板4 9に直接 I Cを積載あるいは形成した構成だけでなく、 ソースドライバ14、ゲートドライバ12などを取りつ けたフィルム (TCP、TAB技術など)をアレイ基板 49の一辺(もしくはほぼ一辺)に貼りつけた構成も含 む。つまり、2辺に「Cが実装、あるいは取りつけられ ていない構成、配置あるいはそれに類似するすべてを意 10 味する。

【0210】図12のように、ゲートドライバ12をソ ースドライバ14の横に配置すると、ゲート信号線17 はC辺に沿って表示画面21まで形成される必要がある (図13等参照)。

【0211】なお、C辺に形成するゲート信号線17の ピッチは5μm以上12μm以下にする。5μm未満で は隣接ゲート信号線に寄生容量の影響によりノイズが乗 ってしまうからである。実験によれば、7μm以下で寄 生容量の影響が顕著に発生し、さらに5μm未満では表 20 示画面にピート状などの画像ノイズが激しく発生する。 特に、ノイズの発生は画面の左右で異なり、このビート 状などの画像ノイズを低減することは困難である。ま た、低減12μmを越えると表示パネルの額縁幅Dが大 きくなりすぎ実用的でない。

【0212】前述の画像ノイズを低減するためには、ゲ ート信号線17を形成した部分の下層あるいは上層に、 グラントパターン (一定電圧に電圧固定あるいは全体と して安定した電位に設定されている導電パターン)を配 置することにより低減できる。また、別途設けたシール 30 ド板(シールド箔(一定電圧に電圧固定あるいは全体と して安定した電位に設定されている導電パターン))を ゲート信号線17上に配置すればよい。

【0213】図13のC辺のゲート信号線17はITO 電極で形成してもよいが、低抵抗化するため、ITOと 金属薄膜とを積層して形成したり、金属膜で形成すると とが好ましい。ITOと積層する場合は、ITO上にチ タン膜を形成し、その上にアルミニウムあるいはアルミ ニウムとモリブデンの合金薄膜を形成する。もしくは1 TO上にクロム膜を形成する。金属膜の場合は、アルミ ニウム薄膜、クロム薄膜で形成する。以上の事項は本発 明の他の実施例でも同様である。

【0214】図14ではソースドライバ14とゲートド ライバ12とを1チップ化(1チップドライバ1C14 a) している。1チップ化すれば、表示パネル82への ICチップの実装が1個で済む。したがって、実装コス トも低減できる。また、1チップドライバIC14a内 で使用する各種電圧も同時に発生させることができる。 【0215】なお、ソースドライバ14、ゲートドライ

半導体ウェハで作製し、表示パネル82に実装するとし たがこれに限定されるものではなく、低温ポリシリコン 技術、高温ポリシリコン技術により表示パネル82に直 接形成してもよい。

【0216】図15では、ソースドライバ14の両端に ゲートドライバ12 a、12 bを実装する(あるいは形 成する)としたがこれに限定されるのものではない。例 えば、図12に示すように、ソースドライバ14に隣接 した一方の側に1つのゲートドライバ12を配置しても よい。なお、図15などにおいて太い実線で図示した箇 所はゲート信号線17が並列して形成した箇所を示して いる。したがって、bの部分(画面下部)は走査信号線 の本数分のゲート信号線17が並列して形成され、 aの 部分(画面上部)はゲート信号線17が1本形成されて いる。

【0217】なお、図15のように、2つのゲートドラ イバ12a、12bを使用すると図15のC辺に並列し て形成するゲート信号線17aの本数が走査線数の1/ 2となる(画面の左右にゲート信号線数の1/2ずつ配 置できるからである)。したがって、額縁が画面の左右 で均等になるという特徴を持つようになる。

【0218】本発明はゲート信号線17の走査方向と、 画面分割にも特徴がある。例えば、図15ではゲートド ライバ12 aが画面上部のゲート信号線17 bと接続さ れている。また、ゲートドライバ12bが画面下部のゲ ート信号線17aと接続されている。ゲート信号線17 の走査方向も矢印A で示すように画面の上部から下部の 方向である。なお、ソース信号線18は画面上部と画面 下部で共通である。

【0219】図16ではゲートドライバ12aが画面上 部の隣接したゲート信号線17と異なるように接続され ている。ゲートドライバ12aは奇数番目のゲート信号 線17bと接続されている。また、ゲートドライバ12 bは偶数番目のゲート信号線17aと接続されている。 ゲート信号線の走査方向は、ゲート信号線17bは画面 上部から下部の方向である(矢印A)。ゲート信号線 1 7aは画面下部から上部の方向である(矢印B)。この ように、ゲート信号線17をゲートドライバ12と接続 することにより、また、ゲート信号線の走査方法を所定 の方向とすることにより、表示画面21に輝度傾斜が発 生せず、フリッカの発生も抑制することができる。な お、ソース信号線18は画面上部と画面下部で共通であ る。ただし、画面の上下で分割してもよいことは言うま でもない。以上の事項は他の実施例にも適用される。 【0220】1チップ化している図14でもゲートドラ イバ12aが画面上部のゲート信号線17bと接続され ている。また、ゲートドライバ12bが画面下部のゲー ト信号線17aと接続されている。ゲート信号線17b の走査方向は矢印Aで示すように、画面の上部から下部 バ12、1チップドライバIC14aはシリコンなどの 50 の方向である。ゲート信号線17aの走査方向は矢印B

で示すように、画面の下部から上部の方向である。な お、ソース信号線18は画面上部と画面下部で共通であ る。このように、ゲート信号線17をゲートドライバ1 2 と接続することにより、また、ゲート信号線の走査方 法を所定の方向とすることにより、表示画面21に輝度 傾斜が発生せず、フリッカの発生も抑制することができ

【0221】なお、1チップドライバ【С14aはシリ コンなどの半導体ウェハで作製し、表示パネル82に実 装するとしたがこれに限定されるものではなく、低温ポ 10 リシリコン技術、髙温ポリシリコン技術により表示パネ ル82に直接形成してもよい。また、画面の上部を駆動 するドライバICを表示画面の上辺に配置し、画面の下 部を駆動するドライバICを表示画面の下辺に配置して もよい (つまり、実装 I Cは2 チップとなる) 。以上の 事項は他の本発明の実施例にも適用される。

【0222】図14および図15では画面を中央部で分 割するように表現したが、これに限定されるものではな い。例えば、図15の場合は、表示画面21aを小さく し、表示画面21bを大きくしてもよい。この表示画面 20 21aをパーシャル表示領域とし(図17参照)、主と して時刻表示や日付表示を行い、低消費電力モードで使 用する。図14および図15ではゲート信号線17bで 表示画面21aを表示し、ゲート信号線17aで表示画 面21bを表示している。

【0223】また、図17などでは、図18で図示する ように、表示画面21aを3辺フリーの構成とし、表示 画面21bを従来のソースドライバ14とゲートドライ バ12を別個の辺に配置する構成としてもよい。 つま り、ゲート信号線17aとソース信号線18aは1チッ 30 接続を取ることができる。 プドライバIC14aから出力するということである。 【0224】また、図19に図示するように、表示画面 21を21aと21bの2つの画面に分割し、それぞれ の画面に対応するソースドライバ14、ゲートドライバ 12を配置してもよい。図19では各ソースドライバ1 4から出力する映像信号の書き込み時間が他の実施例と 比較して2倍になるので、十分に画素に信号を書き込む ことができる。また、図20に図示するように、表示画 面21は1つにして画面の上下に各1つずつソースドラ イバ14を配置してもよい。このことは、ゲートドライ 40 バ12に対しても同様に適用できる。

【0225】なお、以上の実施例はゲート信号線17を 平行に形成し、画素領域まで配線する構成であったが、 これに限定されるものではなく、図21に図示するよう **にソース信号線18を1辺に平行に配線するように構成** してもよいことは言うまでもない。

【0226】図17、図18、図19などにおいて、表 示画面21aと21bでフレームレート(駆動周波数ま たは単位時間(1秒間)あたりの画面書き換え回数)を 変化させたりすることも低消費電力化に有効な手段であ 50 できる。したがって、フリッカが発生せず、発光色に相

る。また、表示画面21aと21bで表示色数または表 示色を変化させるのも低消費電力化に有効である。

42

【0227】図6で図示した構成では、Eし素子15の カソードはVsl電位に接続されている。しかし、各色 を構成する有機ELの駆動電圧が異なるという問題があ る。例えば、単位平方センチメートルあたり0.01A の電流を流した場合、青(B)ではEL素子の端子電圧 は5 V であるが、緑(G)および赤(R)では9 V であ る。つまり、端子電圧が、B、GとRで異なる。したが って、B、GとRでは保持するTFTllc、lldの ソースードレイン電圧 (SD電圧)が異なり、各色でト ランジスタのソースードレイン電圧(SD電圧)間のオ フリーク電流も異なることになる。オフリーク電流が発 生し、かつオフリーク特性が各色で異なると、色パラン スのずれた状態でフリッカが発生する、発光色に相関し てガンマ特性がずれるという複雑な表示状態となる。 【0228】との課題に対応するため、本発明では図2 2に図示するように、少なくともR、G、B色のうち、 1つのカソード電極の電位を他色のカソード電極の電位 と異ならせるように構成している。具体的には、図22 ではBをカソード電極53aとし、GとRをカソード電 極53bとしている。

【0229】カソード電極53aは、各色の有機ELを 塗り分けたメタルマスク技術を用いて形成する。メタル マスクを用いるのは、有機ELが水に弱くエッチングな どを行うことができないからである。メタルマスク(図 示せず) を用いて、カソード電極53aを蒸着し、同時 にコンタクトホール52aに接続する。そして、コンタ クトホール52aによりBカソード配線51aと電気的

【0230】カソード電極53bも同様に、各色の有機 ELを塗り分けたメタルマスク技術を用いて形成する。 メタルマスク(図示せず)を用いて、カソード電極53 bを蒸着し、同時にコンタクトホール52bに接続す る。コンタクトホール52bによりRGカソード配線5 1 b と電気的接続を取ることができる。なお、カソード 電極のアルミ膜厚は70nm以上200nm以下となる ように形成するとよい。

【0231】以上の構成により、カソード電極53aと 53 bには異なる電圧を印加することができるから、図 6のVdd電圧が各色共通であっても、RGBのうち、 少なくとも1色のEし素子に印加する電圧を変化させる ことができる。なお、図22において、R Gは同一のカ ソード電極53bとしたがこれに限定されるものではな く、RとGで異なるカソード電極となるように構成して もよい。

【0232】以上のように構成することにより、各色で トランジスタのソース-ドレイン電圧(SD電圧)間で のオフリーク電流の発生、キンク現象を防止することが 関してガンマ特性がずれるということもなく、良好な画 像表示を実現できる。

【0233】また、図6のVslをカソード電圧とし、 このカソード電圧を各色で異なるようにするとしたがこ れに限定されるものではなく、アノード電圧Vddを各 色で異なるように構成してもよい。例えば、R画素のV dd電圧を8Vにし、Gを6V、Bを10Vとする構成 としてもよい。これらのアノード電圧、カソード電圧は ±1Vの範囲で調整できるように構成されることが好ま しい。

【0234】パネルサイズが2インチ程度であっても、 Vdd電圧と接続されるアノードからは100mA近く 電流が出力される。そのため、アノード配線(電流供給 線)20の低抵抗化は必須である。この課題に対応する ため、本発明では図18で図示するように、アノード配 線63を表示領域の上側と下側から供給している(両端 給電)。以上のように両端給電することにより、画面の 上下での輝度傾斜の発生がなくなる。

【0235】発光輝度を高めるためには画素電極48を 租面化するとよい。この構成を図5に示す。まず、画素 20 電極48を形成する箇所にスタンパ技術を用いて微細な 凹凸を形成する。画素が反射型の場合は、スパッタリン グ法で約200nmのアルミニウムの金属薄膜を形成し て画素電極48を形成する。画素電極48が有機ELと 接する箇所には凸部が設けられ、粗面化される。なお、 単純マトリックス型表示パネルの場合は、画像電極48 はストライプ状電極とする。また、凸部は凸状だけに限 定されるものではなく、凹状でもよい。また、凹と凸と を同時に形成してもよい。

【0236】突起の大きさは直径4μm程度、隣接間距 30 離の平均値を10μm、20μm、40μmにし、それ ぞれ突起の単位面積密度を1000~1200個/mm '、100~120個/mm'、600~800個/mm \*として輝度測定を行ったところ、突起の単位面積密度 が大きくなるほど発光輝度が強くなることがわかった。 したがって、画素電極48上の突起の単位面積密度を変 えることで、画素電極の表面状態を変えて発光輝度を調 整できることがわかった。検討によれば、突起の単位面 積密度を100個/mm'以上800個/mm'以下とす ることで良好な結果を得ることができた。

【0237】有機ELは自己発光素子である。この発光 による光がスイッチング素子としてのTFTに入射する とホトコンダクタ現象 (ホトコン) が発生する。ホトコ ンとは、光励起によりTFTなどのスイッチング素子の オフ時でのリーク(オフリーク)が増える現象を言う。 【0238】との課題に対処するため、本発明では図2 4に示すように、ゲートドライバ12(場合によっては ソースドライバ14)の下層、画素TFT11の下層に 進光膜91を形成している。遮光膜91はクロムなどの

以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹 凸が発生して上層のTFT11のパターニングが困難に なるからである。

44

【0239】遮光膜91上に20mm以上100mm以 下の無機材料からなる平滑化膜71aを形成する。ある いは、この遮光膜91のレイヤーを用いてコンデンサ1 9の一方の電極を形成してもよい。この場合、平滑化膜 71 a は極力薄く作り、コンデンサの容量値を大きくす ることが好ましい。また、遮光膜91をアルミで形成

10 し、陽極酸化技術を用いて酸化シリコン膜を遮光膜91 の表面に形成し、この酸化シリコン膜をコンデンサ19 の誘電体膜として用いてもよい。平滑化膜7 1 b 上には HA構造の画素電極が形成される。

【0240】ゲートドライバ12などは裏面だけでな く、表面からの光の進入も抑制するべきである。なぜな ら、ホトコンの影響により誤動作するからである。した がって、本発明において、カソード電極が金属膜の場合 は、ゲートドライバ12などの表面にもカソード電極を 形成し、この電極を遮光膜として用いている。

【0241】しかし、ゲートドライバ12の上にカソー ド電極を形成すると、このカソード電極からの電界によ るドライバの誤動作、あるいはカソード電極とドライバ 回路の電気的接触が発生する可能性がある。この課題に 対処するため、本発明ではゲートドライバ12などの上 に少なくとも1層、好ましくは複数層の有機EL膜を画 素電極上の有機EL膜形成と同時に形成する。基本的に 有機EL膜は絶縁物であるから、ゲートドライバ上に有 機EL膜を形成することにより、カソードとゲートドラ イバ間が隔離され、前述の課題を解消することができ る。

【0242】一方、カソード電極が透明電極の場合、つ まり、画素電極を反射タイプとし共通電極を透明電極 (ITO、IZOなど) にする光上取り出しの構造の場 合は、透明電極のシート抵抗値が問題となる。なぜな ら、透明電極は高抵抗であるが、有機ELのカソードに は髙い電流密度で電流を流す必要があるからである。し たがって、ITO膜の単層でカソード電極を形成すると 発熱により加熱状態となったり、表示画面に極度の輝度 傾斜が発生したりする。

【0243】との課題に対応するため、カソード電極の 40 表面に金属薄膜からなる低抵抗化配線92を形成してい る。低抵抗化配線92は液晶表示パネルのブラックマト リックス(BM)と同様の構成(クロムまたはアルミ材 料で50nm~200nmの膜厚)で、かつ同様の位置 (画素電極間、ゲートドライバ12の上など)である。 ただし、有機ELではBMを形成する必要はないから機 能は全く異なる。なお、低抵抗化配線92は透明電極7 2の表面に限定されるものではなく、裏面 (有機EL膜 と接する面)に形成してもよい。また、BM状に形成し 金属薄膜で形成し、その膜厚は50nm以上150nm 50 た金属膜として、Mg·Ag、Mg·Li、Al·Li

などの合金あるいは積層構造体など、アルミニウム、マグネシウム、インジウム、銅または各々の合金等を用いてもよい。なお、BM上には腐食などを防止するため、さらにITO、IZO膜を積層し、また、SiNx、SiO,などの無機薄膜、あるいはポリイミドなどの有機薄膜を形成する。

【0244】図8に示す画素は駆動用TFT11bと変換用TFT11aとがカレントミラーの関係にあり、とれらの特性(閾値Vt、S値、モビリティμなど)が一致していなければならない。また、図6の画素において 10も、各TFTの特性が一致していることが好ましいことは言うまでもない。

【0245】画素16のTFT11を構成する半導体膜は、低温ポリシリコン技術において、レーザアニールにより形成するのが一般的である。このレーザアニールの条件のばらつきがTFT11特性のばらつきとなる。しかし、1画素16内のTFT11の特性が一致していれば、図6、図8などの電流プログラムを行う方式においては、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点 20である。

【0246】との課題に対して、本発明では図25に示 すように、アニールの時のレーザー照射スポット230 をソース信号線18と平行に照射する。また、1画素列 に一致するようにレーザー照射スポット230を移動さ せる。もちろん、1画素列に限定されるものではなく、 例えば、図25のRGBを1画素16という単位でレー ザーを照射してもよい(この場合は、3画素列というこ とになる)。特に、画素はRGBの3画素で正方形の形 状となるように作製されている。したがって、R、G、 Bの各画素は縦長の画素形状となる。そのため、画素 1 6内に形成されるTFT11の配置は、図25に図示す るように縦方向に配置される(変換用TFTlla、駆 動用TFT11b)。したがって、レーザー照射スポッ ト230を縦長にしてアニールすることにより、1画素 内ではTFT11の特性ばらつきが発生しないようにす ることができる。

【0247】一般的に、レーザー照射スポット230の長さは10インチというように固定値である。このレーザー照射スポット230を移動させるのであるから、1つのレーザー照射スポット230を移動できる範囲内におさめられるようにパネルを配置する必要がある(つまり、パネルの表示画面21の中央部でレーザー照射スポット230が重ならないようにする)。

【0248】図26の構成では、レーザー照射スポット 230の長さの範囲内に3つのパネルが縦に配置される ように形成されている。レーザー照射スポット230を 照射するアニール装置はガラス基板241の位置決めマ ーカ242a、242bを認識してレーザー照射スポッ ト230を移動させる。位置決めマーカ242の認識は50

パターン認識装置で行う。アニール装置(図示せず)は 位置決めマーカ242を認識し、画素列の位置を割り出 す。そして、ちょうど画素列位置に重なるようにレーザ ー照射スポット230を照射してアニールを順次行う。 【0249】図6に示すように、ゲート信号線17aは 行選択期間に導通状態(ここでは図6のTFT11がP チャネルトランジスタであるためローレベルで導通とな る)となり、ゲート信号線17bは非選択期間時に導通 状態となる。

【0250】ソース信号線の状態が階調0表示状態であったときに、階調1に対する電流値を印加し、行選択期間を75μ秒で動作させると、図27の実線aに示すように、ソース信号線18の寄生容量が増加すると、EL素子15に出力される電流値が減少する。

【0251】図27の点線bは実線aに比べて階調1に対する電流値を10倍流した場合であり、ソース信号線18の寄生容量の増加に対し、EL素子15に出力される電流値の減少割合は小さくなる。所定電流値に対し、10%程度のばらつきは人間の目にとって輝度の差として観測できないことから、10%程度の低下を認めるとすると許容されるソース容量は実線aでは2pF以下、点線bでは25pF以下となる。

【0252】ソース信号線18の電流値変化に要する時間 t は、浮遊容量の大きさをC、ソース信号線の電圧を V、ソース信号線に流れる電流を1とすると、t=C・V/Iであるため、電流値を10倍大きくできることは 電流値変化に要する時間が1/10近くまで短くできる、またはソース容量が10倍になっても所定の電流値に変化できるということを示す。したがって、短い水平 走査期間内に所定の電流値を書き込むためには電流値を 増加させることが有効である。

【0253】入力電流を10倍にすると出力電流も10 倍となり、EL素子の輝度が10倍となるよう所定の輝 度を得るために、図6のスイッチング用TFT11dの 導通期間を従来の1/10とし、発光期間を1/10と することで、所定輝度を表示するようにした。つまり、 ソース信号線18の寄生容量の充放電を十分に行い、所 定の電流値を画素16の変換用TFT11aに対してブ ログラムを行うためには、ソースドライバ14から比較 的大きな電流を出力する必要がある。しかし、このよう に大きな電流をソース信号線18に流すとこの電流値が 画素にプログラムされてしまい、所定の電流に対し大き な電流がEL素子15に流れる。例えば、10倍の電流 でプログラムすれば、当然10倍の電流がEL素子15 に流れ、EL素子15は10倍の輝度で発光する。つま り、所定の発光輝度にするためには、EL素子15に流 れる時間を1/10にすればよい。このように駆動する ことにより、ソース信号線18の寄生容量を十分に充放 電できるし、所定の発光輝度を得ることができる。

【0254】なお、10倍の電流値を画素の変換用TF

とするためには回路のメインクロックをあげる必要があ る。また、時間軸伸張を実施するための画像メモリも必

48

Tlla(正確にはコンデンサ19の端子電圧を設定し ている) に書き込み、EL素子15のオン時間を1/1 0にするとしたがこれは一例である。場合によっては、 10倍の電流値を画素の変換用TFT11aに書き込 み、EL素子15のオン時間を1/5にしてもよい。逆 に、10倍の電流値を画素の変換用TFT11aに書き 込み、EL素子15のオン時間を2倍にする場合もある であろう。本発明は、画素への書き込み電流を所定値以 外の値にし、E L素子15に流れる電流を間欠状態にし て駆動することに特徴がある。本明細書では説明を容易 にするため、N倍の電流値を画素のTFT11に書き込 み、EL素子I5のオン時間をI/N倍にするとして説 明する。しかし、これに限定されるものではなく、NI 倍の電流値を画素のTFT11に書き込み、EL素子1 5のオン時間を1/N2倍(N1とN2とは異なる)と してもよいことは言うまでもない。

【0255】また、説明を容易にするため、1F(1フ ィールドまたは1フレーム)を基準にしてこの1Fを1 /Nにするとして説明する。しかし、1 画素行が選択さ れ、電流値がプログラムされる時間(通常、1水平走査 期間(1H))があるし、また、走査状態によっては誤 差も生じるので、以上の説明はあくまでも説明を容易に するための便宜状の問題だけであり、これに限定される ものではない。

【0256】有機(無機) E L表示装置は、CRTのよ うに電子銃で線表示の集合として画像を表示するディス プレイとは表示方法が基本的に異なる点にも課題があ る。つまり、E L表示装置では、1 F(1 フィールドあ るいは1フレーム)の期間の間は、画素に書き込んだ電 流(電圧)を保持する。そのため、動画表示を行うと表 30 示画像の輪郭ぼけが発生するという課題を発生させる。 【0257】本発明では、1F/Nの期間の間だけ、E L素子15に電流を流し、他の期間 (1F (N-1)/ N) は電流を流さない。この駆動方式を実施し画面の一 点を観測した場合を考える。この表示状態では1 F ごと に画像データ表示、黒表示(非点灯)が繰り返し表示さ れる。つまり、画像データ表示状態が時間的に飛び飛び 表示(間欠表示)状態となる。動画データ表示を、この 間欠表示状態でみると画像の輪郭ほけがなくなり良好な 表示状態を実現できる。つまり、CRTに近い動画表示 40 を実現することができる。また、間欠表示を実現する が、回路のメインクロックは従来と変わらない。したが って、回路の消費電力が増加することもない。

【0258】液晶表示パネルの場合は、光変調をする画 像データ(電圧)は液晶層に保持されており、黒挿入表 示を実施しようとすると液晶層に印加しているデータを 書き換える必要がある。そのため、ソースドライバ14 の動作クロックを髙くし、画像データを黒表示データと 交互にソース信号線18に印加しなければならないの

要になる。 【0259】しかし、本発明のEL表示パネルの画素構 成では、図6、図47、図52~56、図59~図6 3、図71、図74、図75、図95などに示すよう に、画像データはコンデンサ19に保持されており、こ のコンデンサ19の端子電圧に対応する電流をEL素子 15に流している。したがって、画像データは液晶表示 パネルのように光変調層に保持されているのではない。 【0260】本発明はスイッチング用TFT11d、あ るいはTFTI1eなどをオンオフさせるだけでEL素 子15に流す電流を制御する。つまり、EL素子15に 流れる電流丨wをオフしても、画像データはそのままコ ンデンサ19に保持されている。したがって、次のタイ ミングでスイッチング素子などをオンさせ、EL素子1 5に電流を流せば、その流れる電流は前に流れていた電 流値と同一である。本発明では黒挿入表示(黒表示など の間欠表示)を実現しようとする際においても回路のメ インクロックをあげる必要がない。また、時間軸伸張を 実施する必要もないため、画像メモリも不要である。ま た、有機EL素子15は電流を印加してから発光するま での時間が短く髙速応答である。そのため、動画表示に 適し、さらに間欠表示を実施することにより従来のデー タ保持型の表示パネル(液晶表示パネル、ELパネルな ど)の問題である動画表示の問題を解決できる。

【0261】図28に示すように、ゲート信号線17b は従来導通期間が1F(電流プログラム時間を0とした 時、通常プログラム時間は1Hであり、EL表示装置の 画素行数は少なくとも100行以上であるので、1Fと しても誤差は1%以下である)とし、N=10とすれ は、図27によると、最も変化に時間のかかる階調0か ら階調1へもソース容量が20pF程度であれば75μ 秒程度で変化できる。これは、2型程度のEL表示装置 であればフレーム周波数60H2で駆動できることを示 している。

【0262】更に、大型の表示装置でソース容量が大き くなる場合は、ソース電流を10倍以上にしてやればよ い。一般に、ソース電流値をN倍にした場合、ゲート信 号線17b (TFT11d) の導通期間を1F/Nとす ればよい。これにより、テレビ、モニター用の表示装置 などにも適用が可能である。

【0263】以下、図面を参照しながら、さらに詳しく 説明をする。まず、図6の寄生容量404は、ソース信 号線間の結合容量、ソースドライバ14のバッファ出力 容量、ゲート信号線17とソース信号線18とのクロス 容量などにより発生する。この寄生容量404は通常1 0 p F以上となる。電圧駆動の場合、ソースドライバ 1 4からは低インピーダンスで電圧がソース信号線18に で、黒挿入表示(黒表示などの間欠表示)を実現しょう 50 印加されるため、寄生容量404が多少大きくとも駆動 では問題とならない。

【0264】しかし、電流駆動において、特に黒レベル の画像表示では5 n A 以下の微小電流で画素のコンデン サ19をプログラムする必要がある。したがって、寄生 容量404が所定値以上の大きさで発生すると、1画素 行にプログラムする時間(通常 1 H以内、ただし、2 画 素行を同時に書き込む場合もあるので1H以内に限定さ れるものではない) 内に寄生容量を充放電することがで きない。1H期間で充放電できなければ、画素への書き 込み不足となり、解像度が全くでない。

【0265】図6の画案構成の場合、図7(a)に示す ように、電流プログラム時は、プログラム電流11がソ ース信号線18に流れる。この電流11が変換用TFT 1 1 a を流れ、プログラム電流 I 1 を流す電流が保持さ れるように、コンデンサ19のV1が設定(プログラ ム) される。このとき、スイッチング用TFT11dは オープン状態(オフ状態)である。

【0266】次に、EL素子15に電流を流す期間は図 7 (b) のようにTFT11が動作する。つまり、ゲー FTlla、取込用TFTllcがオフする。一方、ゲ ート信号線17bにオン電圧Vglが印加され、スイッ チング用TFT11dがオンする。

[0267]今、プログラム電流||が本来流す電流 (所定値) のN倍であるとすると、図7 (b) のEL素 子15に流れる電流も11となる。したがって、所定値 のN倍の輝度でEL素子15は発光する。

【0268】そこで、スイッチング用TFT11dを本 来オンする時間(約1F)の1/Nの期間だけオンさ せ、他の期間(N-1)/Nをオフさせれば、1F全体 30 の平均輝度は所定の輝度となる。この表示状態は、CR Tが電子銃で画面を走査しているのと近似する。異なる 点は、画像を表示している範囲が画面全体の1/N(全 画面を1とする) が点灯している点である (CRTで は、点灯している範囲は1画素行(厳密には1画素)で ある)。

【0269】本発明では、この1/Nの画像表示領域が 図29 (al) に示すように、表示画面21の上から下 に移動する。本発明では、1F/N期間の間だけ、EL 素子15に電流が流れ、他の期間(1F・(N-1)/ N) は電流が流れない。したがって、画像は間欠表示と なるが、人間の目には残像により画像が保持された状態 となるので、全画面が均一に表示されているように見え

【0270】この表示状態では1Fごとに画像データ表 示、黒表示(非点灯)が繰り返し表示される。つまり、 画像データ表示状態が時間的に飛び飛び表示(間欠表 示) 状態となる。液晶表示パネル (本発明以外のEL表 **示パネル)では、1Fの期間、画素にデータが保持され** ているため、動画表示の場合は画像データが変化しても 50

その変化に追従することができず、動画ぼけとなってい た (画像の輪郭ぼけ)。しかし、本発明では画像を間欠 表示するため、画像の輪郭ぼけがなくなり良好な表示状 態を実現できる。つまり、CRTに近い動画表示を実現 することができるのである。

50

【0271】また、EL表示装置では、黒表示は完全に 非点灯であるから、液晶表示パネルを間欠表示した場合 のようなコントラスト低下もない。また、図7に示すよ ろに、スイッチング用TFT11 dをオンオフ操作する 10 だけで、間欠表示を実現することができる。これは、コ ンデンサ19に画像データがメモリされているためであ る。つまり、各画素16に、画像データは1Fの期間中 は保持されている。この保持されている画像データに相 当する電流をEL素子15に流すか否かをスイッチング 用TFT11dの制御により実現しているのである。

【0272】したがって、間欠表示を実現する場合とし ない場合では、1画素を構成するTFT11の個数に変 化はない。つまり、画素構成はそのままで、ソース信号 線18の寄生容量404の影響を除去し、良好な電流プ ト信号線17aにオフ電圧Vghが印加され、変換用T 20 ログラムを実現している。その上、CRTに近い動画表 示を実現しているのである。

【0273】また、ゲートドライバ12の動作クロック はソースドライバ14の動作クロックに比較して十分に 遅いため、回路のメインクロックが高くなるということ はない。また、Nの値の変更も容易である。

[0274] 画像表示方向(画像書き込み方向)は図3 0に図示するように、第1フィールド目では画面の上か ち下方向とし(図30(a))、次の第2フィールド目 では画面の下から上方向(図30(b))としてもよ い。つまり、図30(a)と図30(b)とを交互に繰 り返せばよいのである。

【0275】さらに、図31に図示するように、第1フ ィールド目では画面の上から下方向とし(図31

(a))、一旦全画面を黒表示(非表示領域)312と した後(図31(b))、次の第2フィールド目では画 面の下から上方向(図31(c))とし、また一旦全画 面を黒表示(非表示領域)312としてもよい(図31 (d))。つまり、図31 (a)から図31 (d)の状 態を交互に繰り返せばよいのである。

【0276】なお、図30、図31などにおいて、画面 の書き込み方法を画面の上から下あるいは下から上とし たが、これに限定されるものではない。以上の事項は他 の本発明の実施例でも同様である。

【0277】図31(a)は画像表示領域311を1/ Nとし、非表示領域312を(N-1)/Nとしている (ただし、これは理想状態の場合である。現実にはコン デンサ19、変換用TFT11aのSG容量による突き 抜けがあるので異なる)。つまり、画像表示領域311 を1つにした場合である。画像表示領域311は矢印に 示すように、画面の上から下方向に移動する(図29

(a1) →図29 (a2) →図29 (a3) →図29 (a 1) →)。ただし、この画像表示領域3 1 1 の移動 は画面の上から下方向に移動することに限定されるもの ではなく、画面の下から上方向に移動するとしてもよ い。また、1フレーム目(1フィールド目)は画面の上 から下方向に移動させ、次の2フレーム目(2フィール ド目)は画面の下から上方向に移動するように走査(操 作) してもよいことは言うまでもない。また、 画面の右 から左、あるいは画面の左から右に走査(操作)しても よい。

【0278】図28は動作タイミング波形である。先に も記載したように、IFの期間でI画面が表示されると し、1Hの期間で電流プログラムされるとしている。図 28(a)は図6(a)、(b)におけるゲート信号線 17aのタイミング波形を示す。また、図28(b) は、ゲート信号線17bのタイミング波形を示す。基本 的には、ゲート信号線17bがオン電圧Vglとなった 時にスイッチング用TFT11dが導通し(期間は1F /N)、EL素子15にピーク電流が所定電流I1のN 倍の電流が流れ、EL素子15は所定輝度BのN倍の輝 20 度(N·B)で発光する。1F/(N-1)/Nの期間 はスイッチング用TFT11dがオフ状態となる。この ゲート信号線の制御は図10のように、ゲートドライバ 12内の2つのシフトレジスタ (22a、22b)を制 御することにより容易に実現できる。シフトレジスタ2 2 a はゲート信号線 1 7 a の制御データを保持(走査) し、シフトレジスタ22bはゲート信号線17bの制御 データを保持(走査) すればよいからである。

【0279】図32はゲート信号線17bの波形を示 す。図32(a)を第1画素行目のゲート信号線17b 30 の電圧波形とすると、図32(b)は第1画素行目に隣 接した第2画素行目のゲート信号線17bの電圧波形を 示す。同様に、図32(c)は次の第3画素行目のゲー ト信号線17bの電圧波形、図32(d)は第4画素行 目のゲート信号線17bの電圧波形を示す。

【0280】以上のように、各画素行で、ゲート信号線 17bの波形を同一にし、1Hの間隔でシフトさせて印 加していく。このように走査することにより、EL素子 15が点灯している時間を1F/Nに規定しながら、順 画素行でゲート信号線17bの波形を同一にし、シフト させることは容易である。図10のシフトレジスタ22 a、22bに印加するデータであるST1、ST2を制 御すればよいからである。例えば、入力ST2がLレベ ルの時、ゲート信号線17bにオン電圧Vg1が出力さ れ、入力ST2がHレベルの時、ゲート信号線17bに オフ電圧Vghが出力されるとすれば、ゲート信号線1 7bに印加するST2を1F/Nの期間だけしレベルで 入力し、他の期間はHレベルにする。この入力されたS

くだけである。

【0281】同様に、図28(a)に示すゲート信号線 17aの波形の作成も容易である。図10のシフトレジ スタ22aの入力データであるSTIを制御すればよい からである。例えば、入力ST1がLレベルの時、ゲー ト信号線17aにオン電圧Vglが出力され、入力ST 1がHレベルの時、ゲート信号線17aにオフ電圧Vg hが出力されるとすれば、ゲート信号線17aに印加す るST1を1Hの期間だけしレベルで入力し、他の期間 10 はHレベルにする。この入力されたST1を1Hに同期 したクロックCLK1でシフトしていくだけである。

52

【0282】図29(b)は画像表示領域311を1/ (2N) とし、2つの画像表示領域311a、311b を矢印に示すように、画面の上から下方向に移動した例 である(図29(b1)→図29(b2)→図29(b 3)→図29(b1)→)。ただし、この画像表示領域 311a、311bの移動は画面の上から下方向に移動 することに限定されるものではなく、画面の下から上方 向に移動するとしてもよい。また、1フレーム目(1フ ィールド目)は画面の上から下方向に移動させ、次の2 フレーム目(2フィールド目)は画面の下から上方向に 移動するように走査(操作)してもよいことは言うまで もない。また、画面の右から左、あるいは画面の左から 右に走査(操作)してもよい。

【0283】さらに、図29(c)は画像表示領域31 1を1/(3N)とし、3つの画像表示領域311a、 311b、311cを矢印に示すように、画面の上から 下方向に移動した例である(図29(c1)→図29 (c2)→図29(c3)→図29(c1)→)。

【0284】図29(b)、(c)に示すように、画像 表示領域311を複数に分割すればするほど、画像表示 全体のフレームレート (1秒間に画面を書く回数、例え ばフレームレート60とは、1秒間に60回画面を書き 換えること)を低下させることができる。フレームレー トを低下させれば、その分、回路の動作クロックを低下 させることができるから消費電力を小さくできる。つま り、EL素子15の発光期間が短くなり、かつ見かけ上 の瞬時輝度が高くなり、その上、画像表示領域311と 非表示領域312とが高速に繰り返されるため、フリッ 次点灯する画素行をシフトさせることができるので、各 40 カが低減する。したがって、フレームレートを低減する ことができる。

> 【0285】以上のように駆動させることで、1フレー ム(1フィールド)内に点灯する回数を増やし、フリッ 力を低減させることができる。 E L素子の点灯において は点灯回数を増やすことで周波数成分が高くなることか ら人間の目に観測されにくくなる。例えば、1回あたり の点灯期間を1/7にして1フレームに7回点灯させる と、フレーム周波数が30Hzにおいてもフリッカのな い表示が実現できた。

T2を1Hに同期したクロックCLK2でシフトしてい 50 【0286】スイッチング用TFT11dのオンオフを

制御することにより、画像の輝度を調整(可変)するこ とができる。例えば、図29(a)の場合(画像表示領 域311が1つの場合)は、非表示領域312の面積を 変化させることにより、表示画面21の明るさが変化す る (図33 (a1) より図33 (a2) の方が暗く、図 33 (a2) より図33 (a3) の方が暗い)。

53

【0287】同様に、図29(b)の場合(画像表示領 域3 1 1 が2 つの場合) は、図33 (b1) より図33 (b2)の方が暗く、図33(b2)より図33(b 3) の方が表示画面21の表示輝度が暗くなる。また、 図29 (c)の場合 (画像表示領域311が3つの場 合、つまり3以上)も同様である(図33(cl)より 図33 (c2) の方が暗く、図33 (c2) より図33 (c3)の方が暗くなる)。

【0288】なお、図29では画像表示領域311は表 示画面21上を走査するとしたが、これに限定されるも のではなく、図33(c1)、(c2)に図示するよう に、1フレーム(1フィールド)目は全画面を非表示領 域312とし、次の2フレーム (2フィールド) 目は全 面を画像表示状態と非点灯状態とを交互に繰り返す。た だし、画像表示時間と、非点灯時間とを等時間に限定す るものではない。例えば、画像表示時間を1F/4と し、非点灯時間を3F/4としてもよい。このように、 画像表示時間と、非点灯時間との割合を変化させること によっても画像の表示輝度を変化(調整)することがで きる。

【0289】いずれにせよ、図34に示すように、Nの 値を変化させることにより、画像の表示輝度Bはリニア に変化させることができる。また、Nの値を制御するだ 30 けで容易に画像の明るさを可変できる。

【0290】図35は、本発明の表示輝度を調整(制 御) する回路のブロック図である。フレームメモリ(フ ィールドメモリ)354には、外部から入力された映像 データが蓄積される。CPU353は蓄積された映像デ ータを用いて演算をする。演算は、映像データの最大輝 度、最適輝度、平均輝度、輝度分布のうち少なくとも1 つ以上を用いる。また、連続する映像データの各フレー ムの最大輝度、最適輝度、平均輝度、輝度分布およびそ の変化割合も考慮する。

【0291】演算した結果は輝度メモリ352にストア される。輝度メモリ352とは画像の明るさを補正した データである。例えば、海岸などの明るい画面では画像 の平均輝度を明るく補正し、その画像データ内で比較的 暗い部分があるときは、実際値よりも暗い画像データに 変換する。また、夜の画面などでは、画像が全体的に暗 いため、比較的明るい部分をより明るく補正する。

【0292】カウンタ回路351は図34のN値をいく らにするかをカウントする回路である。ゲート信号線1 7 bの波形においてN値をリアルタイムで変化させる。

N値は時間であるから、カウンタでカウントすることに より容易に変化させることができ、画像の明るさを変更 できる。

【0293】切り替え回路355は画素16のTFT1 |をオンさせる電圧Vg|とオフさせる電圧Vgh(画 素TFT11がPチャンネルの場合であり、Nチャンネ ルではその逆である)を切り替える回路である。 つま り、カウンタ回路351の出力に基づき、図28(b) に示す1F/Nの期間を変化させる。したがって、表示 画面21の明るさをリアルタイムで容易に可変すること ができる。

【0294】映像信号データに応じて表示輝度をリアル タイムで制御する。とのように制御することにより、明 るさ表現のダイナミックレンジを実質上3倍以上に拡大 することができる。また、EL表示装置は、EL素子に 電流を流さない時は完全に黒表示(非点灯)となるか **ら、画像表示の黒浮きも発生しない。つまり、コントラ** ストも高くなる。特に電流プログラムの場合、黒表示で は、画素にプログラムする電流値が10nAと小さいの 画面を画像表示領域311としてもよい。つまり、全画 20 で、寄生容量404を十分充放電できず、完全な黒表示 を実現することが難しい。また、ゲート信号線17に印 加されたパルスによりソース信号線18に電力が供給さ れ (突き抜け電圧)、黒浮きが発生する。

> 【0295】本発明は強制的にスイッチング用TFT1 1dをオフにし、EL素子15に電流を供給することを 停止する。したがって、EL素子15は完全に非点灯状 態となる。そのため、良好なコントラストを実現でき る。

【0296】なお、図35において、映像信号の映像デ ータに基づき、リアルタイムで画像の明るさを変化させ るとしたが、これに限定するものではない。例えば、ユ ーザーが明るさ調整スイッチを押したり、明るさ調整ボ リウムを回したりする時に、この変化を検出してカウン タ回路351のカウンタ値を可変して、表示画面21の 輝度 (あるいはコントラスト、もしくはダイナミックレ ンジ) を変化させてもよい。また、外光などの明るさを ホトセンサで検出し、この検出したデータに基づき、表 示画面21の明るさなどを自動的に変化させてもよい。 また、表示する画像の内容、データにより手動で、ある いは自動的に変化させるように構成してもよい。

【0297】いずれにせよ、図28、図35などを用い て先に説明したように、本発明では、ゲート信号線17 の制御や、ソース信号線18に印加する電流(電圧)の 変化により行ってもよいし、また、両者を組み合わせて 行ってもよい。

[0298] ゲート信号線17bの1F/Nの期間だ け、オン電圧Vglにする時刻は図36に図示するよう に、1F(1Fに限定されるものではなく、単位期間で よい) 期間のうち、どの時刻でもよい。単位時間のう 50 ち、所定の期間だけEL素子15をオンさせることによ

30

り、所定の平均輝度を得るものだからである。ただし、図36(a)のプログラム期間(1H)後、すぐにゲート信号線17bをオン電圧VglにしてEL累子15を発光させる方が、図6のコンデンサ19の保持率特性の影響を受けにくくなるのでよい。また、1F/Nの期間は図36(b)において、A、Bの記号と矢印で示すように、位置を変化させるように構成してもよい。図10におけるSTに印加するデータのタイミング(1Fのいつにしレベルにするか)を調整あるいは可変できるように構成しておけば、この変化も容易に実現できる。

【0299】また、図37に図示するように、ゲート信

号線17bをオン電圧Vg1にする期間(1F/N)を 複数に分割(分割数K)してもよい。つまり、オン電圧 Vg1にする期間は1F/(K/N)の期間をK回実施 する。このように制御すれば、画像表示状態は図29 (b)(K=2)、図29(c)(K=3)となる。こ のように、点灯させる画像部(画像表示領域311)を 複数に分割することによりフリッカの発生を抑制でき、 低フレームレートの画像表示を実現できる。また、この 画像の分割数も可変できるように構成することが好まし い。例えば、ユーザーが明るさ調整スイッチを押した り、明るさ調整ボリウムを回したりすることで、この変 化を検出してKの値を変更するというように、表示する 画像の内容、データにより手動で、あるいは自動的に変 化させるように構成してもよい。

【0300】 このように、図10におけるSTに印加するデータのタイミング(1FのいつにLレベルにするか)を調整あるいは可変できるように構成しておけば、Kの値(画像表示領域311の分割数)を変化させることも容易に実現できる。

【0301】なお、図37では、ゲート信号線17bをオン電圧Vglにする期間(1F/N)を複数に分割(分割数K)し、オン電圧Vglにする期間は1F/(K/N)期間をK回実施するとしたがこれに限定されるものではない。1F/(K/N)期間をL(LェK)回実施してもよい。つまり、本発明は、EL素子15に流す期間(時間)を制御することにより表示画面21を表示するものであるので、1F/(K/N)の期間をL(LェK)回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、表示画面21の輝度をデジタル的に変更することができる。例えば、L=2とL=3では50%の輝度(コントラスト)変化をなす。これらの制御も図10、図35、図46、図47などの回路構成で容易に実現できる。

【0302】また、画像表示領域311を分割する時、ゲート信号線17bをオン電圧Vglにする期間は同一期間に限定されるものではない。例えば、図38に示すように、オン電圧Vglにする期間がtlとt2のように複数の期間としてもよい。

【0303】図28では隣接した画素行を順次点灯(表 50 に、書き込み画素行391と保持画素行392からなる

示)させるように図示したが、本発明はこれに限定されるものではない。図39に図示するように、インターレース走査してもよい。このインターレース走査とは、第1フィールドでは奇数画素行に画像を書き込み(図39(a)書き込み画素行391)、次の第2フィールドでは偶数画素行に画像を書き込む(図39(b)書き込み画素行391)画像表示方法である。書き込まない画素行は前のフィールドの画像データを保持している(保持画素行392)。このように、EL表示装置でインターレース走査をすることにより、フリッカを減少させ得ることができる。

【0304】この図39の駆動方法であれば、すべての(あるいは複数の)偶数画素行のゲート信号線17bを共有でき、また、すべての(あるいは複数の)奇数画素行のゲート信号線17bを共有できる。したがって、ゲート信号線17の引き回し数を大幅に削減できる。また、全画面を画像表示領域311と非表示領域312とを交互に表示する場合は、すべてのゲート信号線17bを共有できる。これらの構成は図13などの3辺フリーの構成で特に有効である。

【0305】なお、インターレース走査は、第1フィー ルドでは奇数画素行に画像を書き込み、次の第2フィー ルドでは偶数画素行に画像を書き込むとしたが、これに 限定されるものではない。例えば、第1フィールドでは 2画素行とばしで2画素行ずつ画像を書き込み、次の第 2フィールドでは第1フィールドで書き込まなかった2 画素行ごとに画像を書き込んでもよい。また、3画素行 ずつあるいは4画素行ずつでもよい。また、第1フィー ルドでは画面の2行目から2画素行ずつ画像を書き込み (図40(a)を参照)、次の第2フィールドでは1行 目から2画素行どとに画像を書き込んでもよい(図40 (b)を参照)。また、図40に図示するように、書き 込んでいる画素行あるいは書き込む画素行を非表示領域 312となるように制御してもよい。また、第1フィー ルドでは画面の上から下に向かって画像を書き込み、第 2フィールドでは画面の下から上に向かって画像を書き 込んでもよい。これらもすべてインターレース走査の概 念に含まれる。

【0306】インターレース走査も図23、図25で説明した方法を実施することで容易に実現できる。点灯させない非表示領域312に該当する画素行は図6(a)に示すスイッチング用TFT11dをオフさせればよいからである。

【0307】また、当然のことながら図41に図示するように、非表示領域312とインターレース走査とを組み合わせることができる。図41(a)では、書き込み画素行391と保持画素行392からなる走査領域501を順次シフトさせる。なお、図41(a)では第1行目から画像を書き込んでいる。図41(b)でも同様

走査領域501を順次シフトさせる。なお、図41 (b)では第2行目から画像を書き込んでいる。

【0308】以上の実施例は主として図6の画素16の 構成について説明した。しかし、本発明はこれに限定されるものではない。例えば、図8や図9の画素16でも 実現できる。

【0309】図8の画素構成では、ゲート信号線17a にオン電圧Vglを印加することにより、コンデンサ 1 9にソース信号線18に印加した電流値がプログラムさ れる。図42に図示するように、ソース信号線18には 10 なる。 ソースドライバ14内の電源切り替え手段403から映 像信号に該当するデータが印加される。 プログラムされ た電流は、カレントミラー効率が1の時、前記電流が駆 動用TFT11bに流れ、この電流がEL素子15に印 加される。この関係(タイミング波形など)は図28に 図示した事項を流用でき、あるいは類似するので説明を 要さないであろう。ただし、電流プログラムを行う際、 取込用TFTllcとスイッチング用TFTll dのオ ンあるいはオフタイミングを個別に制御しなければなら ない場合がある。この場合は、取込用TFT11cとス 20 イッチング用TFT11dをオンオフさせるゲート端子 を別のゲート信号線17としなければならない。

【0310】図29などの表示方法を実施するためには、EL素子15に流す電流を遮断する必要がある。この遮断を目的として図42に図示するように、TFT11eを付加する。TFT11eのゲート端子をオン電圧Vg1にすることによりEL素子15に電流が印加され、TFT11eのゲート端子をオフ電圧VghにすることによりEL素子15への電流が遮断される(非点灯状態)

【0311】したがって、図28などで説明したゲート信号線17a、17bの信号波形を印加することにより、図29などで説明した画像表示を実現できる。

【0312】画像表示領域311と非表示領域312は図43に図示するように、奇数画素行と偶数画素行とをフレーム(フィールド)ごとに切り替えてもよい。図43(a)で奇数画素行を表示し、偶数画素行を非表示とすれば、次のフレーム(フィールド)(図43(b)を参照)では奇数画素行を非表示にし、偶数画素行を表示する

【0313】とのように、1画素行どとに非表示領域と表示領域とを繰り返すように表示すれば、フリッカの発生が大幅に抑制される。

【0314】なお、図43において、1画素行ごとに非表示画素行と表示画素行にするとしたがこれに限定されるものではなく、2画素行ごとあるいはそれ以上の画素行ごとに非表示画素行と表示画素行にするとしてもよい

【0315】例えば、2行ごとであれば、第1フィールド(フレーム)では、1画素行目と2画素行目を表示画 50

素行とし、3画素行目と4画素行目を非表示画素行とすると、5画素行目と6画素行目は表示画素行となる。次の第2フィールド(フレーム)では、1画素行目と2画素行目を非表示画素行とし、3画素行目と4画素行目を表示画素行とすると、5画素行目と6画素行目は非表示画素行となる。また、次の第3フィールド(フレーム)では、第1フィールドと同様、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素行目を非表示画素行とすると、5画素行目と6画素行目は表示画素行と

58

【0316】なお、本明細書でフィールドとフレームの文言は同義に使用したり、分離したりしている。一般的に、NTSCのインターレース駆動において、1フレームは2フィールドで構成される。しかし、プログレッシブ駆動において、1フレームは1フィールドである。このように、映像の信号の世界ではフィールドとフレームは使い分けられているが、本発明における表示パネルに表示する画像はプログレッシブでもインターレースでもどちらでも適用できる。そのため、どちらでもよいという表現としている。フィールドでもフレームでも概念的には一連の画面を書き終える時間の単位である。

【0317】図44の表示方法も有効である。 ここで説明を容易にするため、図44(a)を第1フィールド(第1フレーム)、図44(b)を第2フィールド(第2フレーム)、図44(c)を第3フィールド(第3フレーム)、図44(d)を第4フィールド(第4フレーム)とする。

[0318]第1フィールド(フレーム)では、1画素行目と2画素行目を非表示画素行とし、3画素行目と4画素行目を表示画素行とする。第2フィールド(フレーム)では、奇数画素行目が表示画素行とし、偶数画素行目を非表示画素行とする。第3フィールド(フレーム)では、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素行目を非表示画素行とする。第4フィールド(フレーム)では、奇数画素行目を非表示画素行とする。第4フィールド(カレーム)では、奇数画素行目を非表示画素行とする。以後、第1フィールド(第1フレーム)の表示状態から順次繰り返す。

【0319】図44の駆動方法では、4フィールド(フレーム)で1ループとしている。このように、複数フィールド(複数フレーム)で画像表示を行うことにより、図43よりもフリッカの発生は抑制されることが多い。【0320】なお、図44の実施例では、第1フィールド(フレーム)では、2画素行目ずつ非表示画素行としたがこれに限定されるものではない。また、第1フィールド(フレーム)では、4画素行目ずつ非表示画素行とし、第2フィールド(フレーム)では、2画素行目ずつ非表示画素行とし、第3フィールド(フレーム)では、1画素行目ずつ非表示画素行とし、第3フィールド(フレーム)では、1回素行目ずつ非表示画素行とし、第3フィールド(フレーム)では、1回素行目ずつ非表示画素行とし、第3フィールド(フレーム)では、1回素行目ずつ非表示画素行とし、

60

第4フィールド(フレーム)では、4画素行目ずつ非表 示画素行とし、第5フィールド(フレーム)では、2画 素行目ずつ非表示画素行とし、第6フィールド(フレー ム)では、1画素行目ずつ非表示画素行としてもよい。 【0321】本発明の駆動方法は、表示効果(アニメー ション効果など)を実現することも容易である。図45 は表示領域が図45(a)→図45(b)→図45 (c)→図45(d)と順次現れる表示方法である。ゆ っくりと非表示領域312をスクロールしていくことに よりアニメーション効果を実現できる。これらの制御は 10 図10、図46、図47などの回路構成でも容易に実現 できる。これは、映像として黒表示状態を書き込まず、

【0322】液晶表示パネルなどの画素に1フィールド (1フレーム) 期間データを保持する表示パネルは動画 ぼけが発生するという課題がある。ただし、CRTなど は電子銃により一瞬表示されるだけなので動画ぼけの問 題は発生しない。

ゲート信号線17 bなどの制御によりアニメーション効

果を容易に実現している。

【0323】この課題を解決するのに有効な手段が黒挿 入である。本発明は動画表示を極めたCRTに近い黒挿 入方式を容易に実現できる。

【0324】図48は画面の上から下にFという文字が 移動するところを示している。図48に図示するよう に、画像表示(図48(a)、(c)、(e))の間に 非表示状態(図48(b)、(d)、(f))を挿入し ている。したがって、画像は飛び飛びの表示となる。そ のため、動画ぼけが発生せず、良好な動画表示を実現で

【0325】このように、全画面を非表示領域とするに 30 は図46の回路構成を採用すればよい。図10との差異 は、ENBL端子601を具備する点である。ENBL 端子601はゲート信号線17が形成された〇R回路6 02の一端子に接続されている。ENBL端子をLレベ ルとすることにより、すべてのゲート信号線17bには Vghレベルが出力され、EL素子15に電流を供給す るスイッチング用TFT11dまたは11eがオフ状態 となり、全画面が非表示領域312となる。また、EN BL端子がHレベルの時は、通常動作が実施される。

[0326]なお、図10、図46、図47、図49で 40 は、ST端子に入力されたデータをクロックで順次シフ トしていく(シリアル動作)として説明したが、これに 限定されるものではない。例えば、各ゲート信号線のオ ンオフ状態を一度に決定するパラレル人力であってもよ い(すべてのゲート信号線のオンオフフロジックがコン トローラまたはゲート信号線17の本数分、一度に出力 され決定される構成など)。

【0327】図48の実施例は、動画表示であったが、 R、G、BCとにフラッシュイングさせるなどのアニメ

0において、図50(a)は赤色表示311Rの画像、 図50(c)は緑色表示311Gの画像、図50(e) は青色表示311Bの画像である。図50(a)、

(c)、(e)の各画像の間に非表示状態(図50

(b)、(d)、(f))を挿入している。この動作を 図50(a)から図50(f)までの動作をゆっくりと 実施すれば、R、G、Bの画像がフラッシュイングして いるように表示することができる。

【0328】また、図51のように、異なる画像どとに フラッシュイングさせるなどのアニメーション効果の実 施も容易である。図51において、図51(a)は第1 画像311a、図51(c)は第2画像311b、図5 1 (e) は第3画像311cである。図51 (a)、 (c)、(e)のそれぞれの画像の間に非表示状態(図 51(b)、(d)、(f))を挿入している。図51 (a)から図51(f)までの動作をゆっくりと実施す

れば、第1、第2、第3の画像がフラッシュイングして いるように表示することができる。 【0329】以上の実施例は、概念的にはソース信号線 18の所定値に対してN倍の電流を流し、EL素子15 には1/Nの期間だけN倍の電流を流して所望の輝度を

得る方法(構成)である。この方法(構成)により、寄 生容量404の存在による書き込み不足の課題を解決し

【0330】(実施の形態7)図52の構成は、駆動用 TFT11aに対し、駆動能力がN-1倍の駆動用TF Tllanを形成することにより、寄生容量404の存 在による書き込み不足の課題を解決する方法である。

【0331】図52と図6 (a) との差異は、駆動用T FT11aの他に、N-1倍の駆動用TFT11an-1とスイッチング用TFT11 fを追加した点である。 図6と図52との差異を中心に説明する。駆動用TFT llan-1としたのは、駆動用TFTllan-1と 駆動用TFT11aとの電流が加算されればN倍になる ように構成したためである。つまり、駆動用TFT11 an-1のチャンネル幅W2を駆動用TFT11aのチ ャンネル幅W1のN-1倍にしているということであ る。例えば、N=10であって、駆動用TFT11aの チャンネル幅Wlがlとすれば、駆動用TFTllan -1のチャンネル幅₩2は9倍である。したがって、理 論的には、駆動用TFT11aが1の電流を流せば駆動 用TFT11an-1は9倍の電流を流す能力があると いうことになる。

【0332】なお、図52で駆動用TFTllan-1 の駆動電流をN-1としたのは、図52の構成では、N 倍の電流をソース信号線18に流す時、EL素子15に 電流を流す駆動用TFT11aの1倍の電流が加算され るからである。図53の構成では、EL素子15に電流 を流す駆動用TFT11bの電流はソース信号線18に ーション効果の実施も容易である(図50参照)。図5 50 流れることはないからTFTllnの駆動電流をN倍に

する必要がある。

【0333】 Cこで説明を容易にするため、駆動用TFT11aはIIなる電流を流すとし、駆動用TFT11an-lはIn-lの電流を流すとすると、I1+In-l=Iw(この場合は、IwはEL素子15に流す電流11のN倍とする)という式が成り立つ。

61

【0334】電流プログラム期間にはゲート信号線17 aがオン電圧Vglに印加され、駆動用TFT11b、スイッチング用TFT1lf、取込用TFT1lcがオン状態となる。また、ゲート信号線17bにはオフ電圧 10 Vghが印加され、スイッチング用TFT1ldはオフ状態となる。したがって、プログラム電流Iwに相当する電圧がコンデンサ19にプログラムされる。つまり、 Il+In-l=Iw (この場合、IwはEL素子15 に流す電流11のN倍とする)なる電流がソース信号線 18に流れる。

【0335】次に、EL素子15に電流を流す期間では ゲート信号線17aにオフ電圧Vghが印加され、駆動 用TFT11b、スイッチング用TFT11f、取込用 TFT11cがオフ状態となる。したがって、ソース信 20 号線18と画素16とは切り離される。また、ゲート信 号線17bにはオン電圧Vglが印加され、スイッチン グ用TFT11dはオン状態となる。したがって、プロ グラム電流1wの1/Nに対応する電流11がEL素子 15に流れる。

【0336】以上のように駆動することにより、ソース信号線18には所望値の電流(EL素子に流す電流)のN倍の電流を流すことができる。したがって、寄生容量404の影響が除外され、十分にコンデンサ19に電流プログラムを行うことができる。一方、EL素子15に30は所望値の電流を印加することができる。

【0337】図52ではN-1の電流能力がある駆動用TFT11an-1を1つ画素に作製するとしたがこれに限定されるものではない。図54に示すように、複数個のTFT(図54ではTFT11n1~TFT11n6)を作製してもよい。動作は図52と同様であるので説明を省略する。

【0338】また、図8に図示したカレントミラー方式 においても図52の構成を展開することができる。図53に図示するように、N倍の駆動能力を有するTFT11nを形成すればよい。ただし、カレントミラー構成ではスイッチング用のTFT11fは必要がない。

【0339】図53において、TFT11nのチャンネル幅W2と駆動用TFT11bのチャンネル幅W1との比は、N:1としている。ここで説明を容易にするため、駆動用TFT11bはI1なる電流を流すとし、TFT11nはInの電流を流すとすると、In=Iw(この場合、IwはEL素子15に流す電流I1のN倍とする)となる。

【0340】電流プログラム期間にはゲート信号線17

aにオン電圧Vglが印加され、取込用TFT11c、スイッチング用TFT11dがオン状態となる。したがって、プログラム電流Iwに相当する電圧がコンデンサー9にプログラムされる。つまり、In=Iw(この場合、IwはEL素子15に流す電流I1のN倍とする)なる電流がソース信号線18に流れる。なお、取込用TFT11cとスイッチング用TFT11dとは少しタイミングをずらせてオンオフ状態を制御することが好ましい。この場合、取込用TFT11cを制御するゲート信号線とスイッチング用TFT11dを制御するゲート信号線とを別個にし、独立制御をする必要がある。

62

【0341】次に、EL素子15に電流を流す期間ではゲート信号線17aにオフ電圧Vghが印加され、取込用TFT11c、スイッチング用11dがオフ状態となる。したがって、ソース信号線18と画素16とは切り離され、プログラム電流1wの1/Nに対応する電流11がEL素子15に流れる。

[0342]以上のように駆動することで、ソース信号線18には所望値の電流(EL素子に流す電流)のN倍の電流を流すことができる。したがって、寄生容量404の影響が除外され、十分にコンデンサ19に電流プログラムを行うことができる。一方、EL素子15には所望値の電流を印加することができる。

【0343】なお、ゲート信号線17bとTFT11eは図42で説明したように、図14などの非画像表示あるいは1/N期間だけEL素子15に電流を流すように制御するために設けたものである。したがって、図53の構成において、さらにN倍の電流を流し、EL素子15に流す電流を1/N期間のパルス駆動することにより、寄生容量404による書き込み不足の問題は全くなくなる。また、黒挿入表示を容易に実現でき、良好な動画表示を実現できる。

[0344]また、図53の構成は非常に有効である。例えば、図6のみの構成で、N=10を実現しようとすると、所望値よりも10倍高いパルス状の電流をEL素子15に印加する必要がある。この場合、EL素子15の端子電圧が高くなることから、Vdd電圧を高く設計する必要があり、また、EL素子15が劣化する可能性もある。

【0345】しかし、図53の構成では、TFT11nのチャンネル幅W2を駆動用TFT11bの5倍とし、2倍高い電流でプログラムすれば、5×2=10となるので、EL素子15には2倍の電流を1/2の期間だけ印加すれば実現できる。したがって、EL素子15が劣化する問題もなくなるし、Vdd電圧をほとんど高くする必要がない。

【0346】逆に、TFT11nだけでN=10を実現 しようとすると、図53の構成では、TFT11nのチャンネル幅W2を駆動用TFT11bの10倍とする必 要がある。10倍にするとTFT11nの形成面積が、 画素の面積のほとんどを占有する。したがって、画素開口率が極めて小さくなるか、もしくは実現不可能になる。しかし、図53の構成では、TFTllnのチャンネル幅W2を駆動用TFTllbの5倍とするだけで済むので十分な画素開口率を実現することができる。

【0347】N=10の実現方法は数多くある。例えば、TFT11nのチャンネル幅W2を駆動用TFT11bの2倍とし、5倍高い電流をEL素子15に1/5の期間印加する方法や、TFT11nのチャンネル幅W2を駆動用TFT11bの4倍とし、2.5倍高い電流 10をEL素子15に1/2.5の期間印加する方法などである。つまり、TFT11nの設計(チャンネル幅W2)とEL素子15に流す電流とその期間とを考慮して掛算が10となるようにすればよい。このように、Nの値は自由に設計することができる。

【0348】なお、図53ではNの電流能力があるTFT11nを1つ画素に作製するとしたがこれに限定されるものではない。図55に示すように、複数個のTFT(図55ではTFT11n1~TFT11n5)を作製してもよい。動作は図53と同様であるので説明を省略20する。

【0349】N=10の実現方法が数多くあるのは、図52の構成でも同様である。駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11aの4倍とし、2倍高い電流をEL素子15に1/2の期間印加する方法や、駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11an-1の設計(チャンネル幅W2)、駆動用TFT11an-1の設計(チャンネル幅W2)とEL素子15に流す電流とその期間とを考慮して30掛算が10となるようにすればよい。このように、Nの値は自由に設計することができる。

【0350】以上に説明した事項は、図52、図54、図56~図58においても適用できることは明らかである。つまり、本発明はチャンネル幅が大きい駆動用TFTを各画素に形成し、ソース信号線18を駆動する電流を増大させる。かつ、図29などで説明したようにEL素子15に流す電流を増大するとともに、EL素子15に流す電流を所定の期間とする方法あるいは構成である。

【0351】また、スイッチング用TFT11dあるいはTFT11eのオンオフを制御することにより、図14、図29などで説明した表示を実現できる。この表示により、動画表示を改善でき、また、明るさを調整することができる。したがって、本発明ではEL素子にN倍あるいはNに比例した電流をEL素子15に印加するとしたが、これに限定されるものではない。所定の1倍あるいはそれ以下の電流をEL素子15に流す構成でもよい。この場合でも、動画表示を改善でき、また、明るさを容易に調整することができるという効果を発揮できる

からである。

【0352】図6および図52も同様であるが、スイッチング用TFT11dをオン状態にする際、抵抗値を高くすることにより駆動用TFT11aのキンク現象による特性はらつきを抑制できる。このことは図6(b)の構成で説明をした。図6(b)のTFT11eを配置し、TFT11eのゲート端子にVbb電圧(Vg1<Vbb<∇gh)を印加することにより、駆動用TFT11aに流れる電流のはらつきが減少するのである。

【0353】したがって、図6および図52の画素構成においても、ゲート信号線17bにVbb電圧を印加してスイッチング用TFT11dをオンさせることが好ましい。つまり、スイッチング用TFT11dはオフ状態ではオフ電圧Vghが印加され、オン状態ではVbb電圧を印加するのである。

【0354】図47のように回路構成すればこの制御は容易である。シフトレジスタ22bの出力段のインバータはオフ電圧VghとVbb電圧を電源とすれば、オフ状態ではゲート信号線17bにVbb電圧が印加できるからである。

【0355】なお、図6(b)と同様に図56に図示するように、別途Vbb電圧を印加するTFT11eを形成または配置してもよい。この事項はカレントミラー構成でも同様である。例えば、図59、図60に図示するように、Vbb電圧を印加するスイッチング用TFT11fを別途形成または配置してもよい。図61の画素構成でも同様である。

【0356】なお、図62においては、駆動用TFT11aをTFT11a1とTFT11a2に分離し、ゲート端子をカスケードに接続することにより、キンク現象を抑制でき、また、特性ばらつきも抑制できる。このことは図6の駆動用TFT11a、図8の駆動用TFT11b、図52の駆動用TFT11a、図53の駆動用TFT11bなどについても同様である(駆動用TFTの構成として採用することが好ましい)。

【0357】図54および図55においてTFT11nなどを複数に分割するとしたが、また他の構成として、図63に図示するように分割したTFT11n1、TF T11n2を駆動電流向上用として動作させるか否かをゲート信号線17cに印加する電位(VghまたはVh1)で制御すればよい。TFT11f2をオフ状態にすれば、ソース信号線18に流れる電流はTFT11n1、TFT11n2が動作している場合の1/2となる。これらの制御は表示パネルの画像表示データおよび消費電力の観点から決定すると良い。

したが、これに限定されるものではない。所定の1倍あ 【0358】図56と図57の差異は、スイッチング用るいはそれ以下の電流をEL索子15に流す構成でもよ TFT11fのゲート端子をゲート信号線17cに接続い。この場合でも、動画表示を改善でき、また、明るさ した点である。つまり、スイッチング用TFT11fのを容易に調整することができるという効果を発揮できる 50 オンオフ状態をゲート信号線17aの電位状態に影響さ

ろ.

れず、独自制御を実現できる点にある。スイッチング用 TFT11fが絶えずオフ状態である時は、TFT11 nは画素から切り離された状態であり、図6(a)の画 素構成となる。ゲート信号線17cとゲート信号線17 aとをロジック的にショートして使用すれば図56の構 成となる。

【0359】 ここでの図56の問題点は、TFT11n と駆動用TFTl1aの閾値Vtなどの特性ずれが画素 Cとに発生していると、画素CとにEL素子15に流れ る電流にばらつきが出るという点である。電流にばらつ 10 きが発生すると、白ラスターなどの均一表示でも表示画 像にざらつき感が出てしまう。その点、図6の構成では この問題は発生しない。

【0360】したがって、表示パネルの画面サイズが小 さく、寄生容量404の影響が少ない時はスイッチング 用TFT11fを絶えずオフ状態で使用する。また、表 示パネルの画面サイズが大きく、寄生容量404の影響 が駆動用TFT11aの動作のみでは解消できない時 は、ゲート信号線17cをゲート信号線17aのロジッ 行うとよい。

【0361】図49に図57の画素構成を駆動する回路 ブロックを示す。ゲート信号線17cを駆動するシフト レジスタ22cを形成し、ゲート信号線17cを駆動す る。図6の画素構成で駆動する時は、ST3のデータを 絶えずしとし、ゲート信号線17cには絶えず、Vgh のオフ電圧が出力されるように制御する。図57の構成 で使用する場合は、シフトレジスタ22cと22aのデ ータ入力状態(タイミング、ロジックなど)を同一にす

【0362】この図57の構成は、カレントミラーの構 成でも実現できる。図58にその画素構成を示す。図5 8に図示するように、分割した駆動用TFT11a、T FT11nを駆動電流向上用として動作させるか否かを ゲート信号線17cに印加する電位(VghまたはVh 1) で制御すればよい。スイッチング用TFT11fを オフ状態にすれば、ソース信号線18に流れる電流によ り駆動用TFT11aのみが動作する。

【0363】したがって、図57の画素構成と同様に、 表示パネルの画面サイズが小さく、寄生容量404の影 40 響が少ない時はスイッチング用TFT11fを絶えずオ フ状態で使用する。表示パネルの画面サイズが大きく、 寄生容量404の影響が駆動用TFTllaの動作のみ では解消できない時は、ゲート信号線17cをゲート信 号線17aのロジックとショートさせ、駆動電流を増大 させて駆動する。とのように、図58の画素構成におい ても、図49の回路ブロックを適用することができる。 【0364】なお、図49の構成ではゲート信号線17 cを制御するシフトレジスタ22cを新規に形成し、動 作させた。しかし、との構成に限定されるものではな

い。スイッチング用TFT11fのゲート端子にVgl またはVgh電圧を印加するだけであるので、ゲート信 号線17cの制御ロジックは容易である。TFT11n を動作させない時は、表示画面21内の全スイッチング 用TFT11fのゲート端子にオフ電圧Vghを印加す ればよい。TFT11nを動作させる場合は、ゲート信 号線17aの電位をゲート信号線17cに印加すればよ い。したがって、図49のように別途シフトレジスタ2 2 c を使用する必要はない。つまり、シフトレジスタ2 2 a のデータをそのままゲート信号線 17 c に出力する か、すべてのゲート信号線17cの電位がオフ電圧Vg hとなるようにゲート回路を付加すればよいからであ

【0365】(実施の形態8)以下に本発明の駆動方法 について説明をする。ソース信号線18に流す電流をN 倍することにより、寄生容量404の影響がなくなり、 解像度のある良好な画像表示を実現できる。図64はソ ース信号線に流れる電流を増大させる他の実施例の説明 図である。ここで、説明を容易にするため、一例とし クとショートさせ、図56の画素構成を実現して駆動を 20 て、N=10として説明する(ソース信号線に流す電流 を10倍にする)。

> 【0366】図64に図示するように、M画素行(説明 を容易にするため、M=N/2=10/2=5とする) のゲート信号線17aにオン電圧Vg1を印加し、M画 素行を電流書き込み状態とする。同時に、ソース信号線 18に書き込み画素行871aに本来印加する所定電流 の10倍の電流を印加する。なお、ととで本来印加する 所定電流の10倍の電流としたのは、5画素行に2倍の 電流を印加することになり、5×2=10となるように 30 するためである。したがって、書き込み画素行871a は2倍の輝度で表示される。このように、2倍の輝度で 表示されるため、図29(a)の駆動方法で1/2の領 域を非表示領域312とする。非表示領域312は書き 込み画素行871bを含むようにすると、本来の表示デ ータと異なる電流データを書き込まれて書き込み画素行 871bは表示されない。以上の動作を1行ずつシフト していくと完全な画像表示を実現できる。

【0367】図65は他の実施例である。M画素行(説 明を容易にするため、M=10とする)のゲート信号線 17aにオン電圧Vglを印加し、M画素行を電流書き 込み状態とする。同時に、ソース信号線18に書き込み 画素行871aに本来印加する所定電流の10倍の電流 を印加する。なお、ここで本来印加する所定電流の10 倍の電流としたのは、10画素行に1倍の電流を印加す ることで、10×1=10となるようにするためであ る。したがって、書き込み画素行871aは1倍の輝度 で表示される。そして、図29(a)の駆動方法で、非 表示領域312を書き込み画素行871bとすると、本 来の表示データと異なる電流データを書き込まれてこの 50 書き込み画素行871bは表示されない。以上の動作を

1行ずつシフトしていくと完全な画像表示を実現でき る。

[0368] 図6、図8、図42、図52、図53、図 54などの電流プログラム方式で共通の事項であるが、 電流プログラム方式での黒表示が困難という問題点があ る。例えば、EL素子15に流す白ピーク電流が2μA であっても、64階調表示における1階調目は2μΑ/ 64≒30 n A である。この微小な電流でソース信号線 18などの寄生容量404を1日期間に充放電すること はなかなか困難である。なお、画素16はマトリックス 状に形成または配置されているが、図面では説明を容易 にするために、1画素のみを図示している。

【0369】との課題に対応するため、本発明ではソー ス信号線18に黒レベルの電圧(電流)を書き込むため の電圧源401を形成または配置している。具体的には 電圧源401とはDCDCコンバータで所定電圧を発生 させ、この電圧をアナログスイッチなどから構成される 電源切り替え手段403で印加できるように構成してい

【0370】ソース信号線18に印加する信号波形の具 20 体例を図66に示す。電流プログラムを行う1H期間の 最初のt2の期間に駆動用TFT11b(図6などでは 変換用TFT11a)のソース信号線18にオフまたは ほぼ黒表示にする電圧Vbを印加する。この電圧は電圧 源401で発生し、電源切り替え手段403によりソー ス信号線18に印加される。プログラム期間では取込用 TFT11c、スイッチング用TFT11dがオン状態 であるから、ソース信号線18に印加された電圧Vbは コンデンサ19の端子電圧、つまり、駆動用TFT11 bのゲート端子電圧となる。したがって、1 H期間の最 30 が好ましい。 初の画素は黒表示(非点灯状態)となる。

【0371】本来、表示される画像が黒表示の場合は、 そのまま、コンデンサ19の端子電圧が保持される。実 際に表示される画像が白表示の場合では、Vb電圧印加 後に白表示の電圧Vw(なお、電流プログラムの場合は Iwと表現すべきである)が印加されて、この電圧(電 流)がコンデンサ19に保持されて1H期間が終了す る。なお、ここでは説明を容易にするため、実際に表示 される画像が白表示であるから白表示の電圧Vw(電流 「w)を印加するとした。しかし、当然のことながら、 自然画の場合は、コンデンサ19に保持される電圧はV bからV w間の電圧(電流)である。

【0372】図66に図示するように、ソース信号線1 8に信号を印加し、ゲート信号線17a、17bを駆動 することにより、良好な黒表示を実現でき、また、図2 9などの画像表示を実施できる。

【0373】図6の画素構成でも図66の信号波形を印 加することにより良好な黒表示を実現できる。電流プロ グラムを行う1H期間の最初のt2の期間に変換用TF

する電圧Vbを印加する。この電圧は電圧源401で発 生し、電源切り替え手段403によりソース信号線18 に印加される。

【0374】プログラム期間では駆動用TFT11b、 取込用TFT11cがオン状態であるから、ソース信号 線18に印加された電圧Vbはコンデンサ19の端子電 圧、つまり、変換用TFT11aのゲート端子電圧とな る。したがって、1 日期間の最初の画素は黒表示 (非点 灯状態)となる。

【0375】先に説明したように、表示される画像が黒 表示の場合では、そのまま、コンデンサ19の端子電圧 が保持される。実際に表示される画像が白表示の場合で は、Vb電圧印加後に白表示の電圧Vw(なお、電流プ ログラムの場合は Iwと表現すべきである) が印加され て、この電圧(電流)がコンデンサ19に保持されて1 H期間が終了する。

【0376】図42などで図示した電圧源401(プリ チャージ回路)は低温ポリシリコン技術などで、アレイ 基板49上に直接形成してもよい。なお、EL素子15 はR、G、Bで素子構成、材料が異なるので光の発生が 生じる電圧(電流)が異なる(立ち上がり電圧(電 流))場合が多い。この特性に対応するため、R、G、 Bでプリチャージ電圧を個別に設定できるように構成す ること、少なくとも3原色のうち1色は変化できるよう にすることが好ましい。

【0377】なお、Vb電圧を印加するブリチャージ時 間t2は、1μ秒以上にする必要がある。また、Vb電 圧を印加するプリチャージ時間 t 2は1Hの1%以上1 0%以下、さらには1Hの2%以上8%以下にすること

【0378】また、表示画面21の内容(明るさ、精細 度など)で、プリチャージする電圧を変化できるように 構成しておくことが好ましい。例えば、ユーザーが調整 スイッチを押したり、調整ボリウムを回したりすること で、この変化を検出しプリチャージ電圧(電流)の値を 変更する。表示する画像の内容、データにより自動的に 変化させるように構成してもよい。

【0379】図42、図64~図66は図6のような電 流プログラム方式の画素構成を例示して説明したが、と 40 れに限定されるものではない。例えば、図67、図68 などの電圧プログラム方式の画素構成でも有効である。 複数画素行に同時に電圧を印加する方式とすることによ り、駆動回路、信号処理回路が簡略化され、また、良好 な黒表示を実現できるからである。

【0380】以上のように、本発明は多種多様な画素構 成に適用することができる。図69は図6のTFT11 のPチャンネルをNチャンネルにした実施例である。図 69においても、ゲート信号線17を制御することによ りスイッチング用TFT11dをオンオフすることがで T11aのソース信号線18にオフまたはほぼ黒表示に 50 き、図29などの画像表示を実現できることは言うまで

もないので説明を省略する。また、図28、図35など の駆動波形も同一または類似であるので説明を省略す る。また、図6において駆動用TFTllb、取込用T FTllcのみをNチャンネルTFTとすることも有効 である。これは、コンテンサ19への突き抜け電圧が低 下し、コンデンサの保持特性も改善されるからである。 【0381】なお、図69は電流源402のみを具備す る構成である。つまり、プリチャージを実施する電圧源 401は具備しない。しかし、寄生容量404が比較的 小さく、または1H期間が十分長い場合は、電圧源40 10 1がなくとも十分に黒表示を実現できる。また、図29 などで説明したように、完全な非表示領域312を実施 する場合は、電圧源401は必要でない場合がほとんど である。必要である場合は図70に図示するように構成 すればよい.

69

【0382】また、図71は図8のTFT11のPチャ ンネルをNチャンネルにした実施例である。図71にお いても、ゲート信号線17を制御することによりTFT 11eなどをオンオフすることができ、図29などの画 略する。また、図28、図35などの駆動波形も同一ま たは類似であるので説明を省略する。

【0383】以上説明したように、電圧源401でVb 電圧 ( I b 電流) を印加することにより、良好な黒表示 を実現できる。

【0384】なお、N=10以上とし、高い電流パルス をEL素子15に印加すると、EL端子電圧も高くな る。また、EL素子15はR、G、Bで立ち上がり電 圧、ガンマカーブが異なる。特にBはガンマカーブが緩 やかであるのでEL素子15の端子電圧が高くなる傾向 30 にある。立ち上がり電圧が高く、ガンマカーブが緩やか な色(R、G、B色)のEL素子15に端子電圧をあわ せると消費電力が大きくなる。

【0385】これを解決する方法の1つが図22に示す カソードをR、G、Bで分離する方式である。なお、 R、G、Bでそれぞれ別のカソード電位にする必要はな い。特に、ガンマカーブが他の色から離れている1色の みのカソードのみを分離してもよい。その他の方法とし て、図72に示すようにVdd電源電圧を分離する構成 も有効である。つまり、R色のVdd電源をVddRと し、G色のVdd電源をVddGとし、B色のVdd電 源をVddBとする構成である。 このように分離するこ とにより、RGBそれぞれを別電源で調整することがで き、RGBのEL素子15の端子電圧が異なっていても 消費電力の増加はわずかになる。

【0386】なお、R、G、Bでそれぞれ別のVdd電 位にする必要はない。特に、ガンマカーブが他の色から 離れている1色のみのVddのみを分離してもよい。 ま た、図73に図示するように、図22の構成と組み合わ せてもよい。つまり、R、G、Bで分離する方式である 50 は図76(b)と同一の状態で、電流源402からの画

R、G、Bでそれぞれ別のカソード電位(R画素はVs R、G画素はVsG、B画素はVsB)とする。特に、 ガンマカーブが他の色から離れている1色のみのカソー ド電位のみを分離してもよい。 さらに、Vdd電源電圧 を分離する。R色のVdd電源をVddRとし、G色の Vdd電源をVddGとし、B色のVdd電源をVdd Bとする構成である。との場合もR、G、Bでそれぞれ 別のVdd電位にする必要はない。特に、ガンマカーブ が他の色から離れている1色のみのVddのみを分離し てもよい。

【0387】なお、図72、図73では画素16は図6 の構成としたが、これに限定されるものではなく、図 8、図9、図47、図52~図56、図59~図63、 図67、図69~図71、図74、図75などの構成で もよいことは言うまでもない。

【0388】本発明の課題にEL素子15に印加する電 流が瞬時的ではあるが、従来と比較してN倍大きいとい う問題がある。電流が大きいとEL素子の寿命を低下さ せる場合がある。との課題を解決するためには、EL素 像表示を実現できることは言うまでもないので説明を省 20 子 1 5 に逆バイアス電圧V mを印加することが有効であ る。

> 【0389】以下、逆バイアス電圧Vmを印加する方法 について説明をする。逆バイアス電圧Vmを印加するた めには図6の構成において、駆動用TFT11bと取込 用TFT11cのゲート端子を個別に制御する必要があ る。つまり、駆動用TFT11bと取込用TFT11c を個別にオンオフさせる必要がある。この制御方法は図 76を用いて説明する。

【0390】まず、図76(a)に示すように、取込用 TFT11cをオンし、スイッチング用TFT11dを オンさせる (図6もあわせて参照のこと) 。そして、逆 バイアス電圧VmとEL素子15のa端子に印加する。 逆パイアス電圧Vmはカソード電圧Vsよりも低い5V 以上15V以内の値の電圧である。

【0391】EL素子15が点灯するときには、a端子 にはカソード電圧Vsに対し、5V以上15V以内の高 い電圧が印加されている。つまり、逆パイアス電圧Vm とはEL素子15が点灯しているときに印加する電圧に 対し、理想的には絶対値が等しく、かつ極性の逆の電圧 を印加するのである。現実的には絶対値が等しく、かつ 極性の逆の電圧を印加することは困難であるから、逆極 性で2~3倍の電圧を印加する。以上のように、逆バイ アス電圧Vmを印加することにより、EL素子15はほ とんど劣化しなくなる。

【0392】次に、図76(b)に示すように、スイッ チング用TFTlldをオフし、駆動用TFTllbを オンさせる。そして、黒表示電圧Vbをコンデンサ19 に書き込む。この動作は図66で説明している。次に、 図76(c)に示すように、TFT11のオンオフ状態 像表示電圧(電流)をコンデンサ19に書き込む。この動作も図66で説明している。最後に、図76(d)に示すように、駆動用TFT11b、取込用TFT11cをオフし、スイッチング用TFT11dをオンさせ、EL素子15に電流を流して点灯させる。

【0393】以上の動作を図77に示す。1日期間のt1時間に逆バイアス電圧Vmをソース信号線18に印加し、次のt2期間に黒表示電圧Vbを印加し、そしてt3期間に画像データVw(Iw)を印加する。他の動作は、図76で説明し、また、駆動方法などの図28、図1029などで説明しているので説明を省略する。

【0394】図76の構成では、ソース信号線18の電流を画素16に取り込む際に、EL素子15には逆方向電流が流れる。したがって、EL素子15が有機電界発光素子の場合、逆方向電圧を印加した場合のように、有機分子の酸化還元反応などによる電気化学的劣化を遅くすることが可能となる。

【0395】図78に陽極/正孔輸送層/発光層/電子輸送層/陰極からなる3層型有機発光素子のエネルギーダイアグラムを示す。発光時の正負キャリアの挙動は図 2078(a)で表わされる。電子は陰極(カソード)より電子輸送層に注入されると同時に正孔も陽極(アノード)から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりキャリアが蓄積されたりする。

【0396】有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定なため、膜質の低下により輝度の低下および定電流駆動時の駆動電圧 30の上昇を招くことが知られている(Applied Physics Letters、 Vol.69、 No.15、 P.2160~2162、 1996)。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【0397】図78(b)においては逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【0398】なお、図78では3層型素子についての説 40 明を行ったが、4層型以上の多層型素子及び2層型以下の素子においても、電極から注入された電子及び正孔により有機膜の電気化学的劣化が起こることは同様である。したがって、層の数によらず本実施例により寿命を長くすることが可能となる。1つの層に複数の材料を混ぜ合わせた素子においても分子の電気化学的劣化は同様に生じるため効果がある。

【0399】本発明での特徴はこのように、有機分子の 劣化を防ぐ機能を持たせ、かつソース信号線に寄生する 浮遊容量による波形なまりを防ぐためのバイアス電流を 50 端子電圧比は、10/8=1.25である。

流す機能を持たせても、画素に必要なトランジスタ数を 増加させることなく表示が可能であることである。 つま り、逆方向電流を流すためのトランジスタの数を増やさ なくてもよいことが、表示装置の各画素の開口率を下げ なくて済むという利点につながっているのである。

72

【0400】図79に逆バイアス電圧Vmの印加効果について説明する。図79は所定電流で駆動した時のEL素子15の発光輝度、EL素子の端子電圧を示している。図79において、点線bは、EL素子15に逆バイアス電圧Vmを印加した時のEL素子15の端子電圧を示している。一点鎖線cは、EL素子15に逆バイアス電圧Vmを印加しなかった時のEL素子15に逆バイアス電圧Vmを印加しなから時のEL素子15に逆バイアス電圧Vmを印加した時(実線a)のEL素子15の発光輝度比(初期輝度を1とした時の比率)を示している。

【0401】図79において、具体的には、EL素子はR発光であり、電流密度100A/平方メーターで電流駆動した場合である。サンプルBは時間tの間、連続して電流密度100A/平方メーターの電流を印加している。点灯時間1500時間で端子電圧が高くなったが急激に輝度低下して、2500時間経過後には、初期輝度に対して、約15%の輝度しか得られなかった。

【0402】サンプルAは30Hzのパルス駆動を実施し、半分の時間 t 2に電流密度200A/平方メーターの電流を流し、後半の半分の時間 t 1に逆パイアス電圧-14Vを印加した(つまり、単位時間あたりの平均発光輝度はサンプルAとBでは同一である)。サンプルAは、点線bで示すようにEL素子15の端子電圧の変化はほとんどなく、また、輝度が50%となる点灯時間は4000時間であった。

【0403】 このように、逆バイアス電圧 V mを印加しても E L 素子 15の端子電圧の増加はなく、発光輝度の低減割合は少ない。したがって、E L 素子 15の長寿命駆動を実現することができる。

【0404】図80は、逆バイアス電圧VmとEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図80はEL素子15に流す電流が電流密度100A/平方メーターの場合であるが、図80の傾向は、電流密度50~100A/平方メーターの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【0405】 縦軸は初期のEL素子15の端子電圧に対する2500時間後の端子電圧との比である。例えば、経過時間0時間において、電流密度100A/平方メーターの電流が印加した時の端子電圧を8Vとし、経過時間2500時間において、電流密度100A/平方メーターの電流が印加した時の端子電圧を10Vとすれば、端子電圧比は、10/8=1、25である。

【0406】横軸は、逆パイアス電圧Vmと1周期に逆パイアス電圧を印加した時間 t 1 の積に対する定格端子電圧Vの比である。例えば、60Hzで、逆パイアス電圧Vmを印加した時間が1/2であれば、t1=0.5である。また、経過時間0時間において、電流密度100A/平方メーターの電流が印加した時の端子電圧(定格端子電圧)を8Vとし、逆パイアス電圧Vmを8Vとすれば、|逆パイアス電圧×t1|/(定格端子電圧×t2)=|-8V×0.5|/(8V×0.5)=1.0となる。

【0407】図80によれば、「逆バイアス電圧×t1」/(定格端子電圧×t2)が1.0以上で端子電圧比の変化はなくなり(初期の定格端子電圧から変化しない)、逆バイアス電圧Vmの印加による効果がよく発揮されている。しかし、「逆バイアス電圧×t1|/(定格端子電圧×t2)が1.75以上で端子電圧比は増加する傾向にあるので、1.0以上、好ましくは1.75以下になるように逆バイアス電圧Vmの大きさおよび印加時間比t1(もしくはt2、あるいはt1とt2との比率)を決定するとよい。

【0408】ただし、バイアス駆動を行う場合は、逆バイアス電圧Vmと定格電流とを交互に印加する必要がある。図79のように、サンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧Vmを印加する場合は、印加しない場合と比較して瞬時的に高い電流を流す必要がある。そのため、逆バイアス電圧Vmを印加する場合(図79のサンプルA)のEL 素子15の端子電圧も高くしなければならない。

【0409】ただし、図80では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧V0は、平均輝度を30満たす端子電圧(つまり、EL素子15を点灯する端子電圧)とする(本明細書の具体例によれば、電流密度200A/平方メーターの電流を印加した時の端子電圧である。ただし、1/2デューティであるので、1周期の平均輝度は電流密度200A/平方メーターでの輝度となる)。

【0410】なお、以上の事項は、EL素子15を、白ラスター表示の場合(画面全体のEL素子に最大電流を印加している場合)を想定しているが、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、絶えずEL素子15の白ピーク電流(最大白表示で流れる電流。本明細書の具体例では、平均電流密度100A/平方メーターの電流)が流れているわけではない。

【0411】一般的に、映像表示を行う場合、各EL素子15に印加される電流(流れる電流)は、白ピーク電流(定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100A/平方メーターの電流)の約0.2倍であるので、図80の実施例において、映像表示を行う場合は横軸の値を0.2倍にする必要がある。

したがって、|逆パイアス電圧×t1|/(定格端子電圧×t2)は0.2以上になるように逆パイアス電圧Vmの大きさむよび印加時間比t1(もしくはt2、あるいはt1とt2との比率など)を決定するとよい。また、好ましくは、|逆パイアス電圧×t1|/(定格端子電圧×t2)は1.75×0.2=0.35以下になるように逆パイアス電圧Vmの大きさおよび印加時間比t1などを決定するとよい。

【0412】つまり、図80の横軸(|逆バイアス電圧 10 ×t1|/(定格端子電圧×t2))における1.0の値を0.2とする必要があるので、表示パネルに映像を表示する(この使用状態が通常であろう。白ラスターを常時表示することはないであろう)時は、|逆バイアス電圧×t1|/(定格端子電圧×t2)が0.2よりも大きくなるように、逆バイアス電圧Vmを所定時間t1に印加するようにする。また、|逆バイアス電圧×t1|/(定格端子電圧×t2)の値が大きくなっても、図80で図示するように、端子電圧比の増加はさほどない。したがって、白ラスター表示を実施することも考慮 20 して、上限値は|逆バイアス電圧×t1|/(定格端子電圧×t2)の値が1.75以下を満たすようにすればよい。

[0413] (実施の形態9)以下、図面を参照しなが **ら、本発明の逆バイアス方式について説明をする。な** お、本発明はEL素子15に電流が流れていない期間に 逆パイアス電圧Vm(電流)を印加することを基本とす るがこれに限定されるものではない。例えば、E L素子 15に電流が流れている状態で、強制的に逆バイアス電 圧Vmを印加してもよい。なお、この場合は結果とし て、EL素子15には電流が流れず、非点灯状態(黒表 示状態)となるであろう。また、本発明は、主として電 流プログラムの画素構成で逆バイアス電圧Vmを印加す ることを中心に説明するがこれに限定されるものではな い。例えば、図68においてTFT11eをオフさせ、 図81と同様に逆バイアス電圧VmをEL素子15のア ノードに印加する構成にすれば、電圧プログラム方式の 画素構成でも、以下に説明する逆バイアス電圧Vmの印 加を容易に実現することができる。したがって、図80 などで説明した効果を発揮することができる。

0 【0414】図81は、本発明の逆バイアス電圧印加方式の駆動方法の説明図である。図81は図6(a)の画素構成に逆バイアス電圧Vmを印加するスイッチング用TFT11gを配置あるいは形成している。スイッチング用TFT11gのゲート端子は制御用のゲート信号線17dに接続されている。スイッチング用TFT11gをオンさせることにより逆バイアス電圧VmがEL素子15のアノードに印加される。

[0415]まず、図1(a1)に示すように、ゲート 信号線17aにオン電圧Vglが印加されると、駆動用 50 TFT11b、取込用TFT11cがオンする。する

と、図1 (a2) で示すように、ソースドライバ14か らプログラム電流 I wが取込用TFT11cなどに流 れ、コンデンサ19に電流プログラムされる。なお、N 倍に限定されるものではないが、ここでは説明を容易に するため、N倍の電流をプログラムし、E L 素子 15 に 1F/Nの期間だけ、電流Idを流すものとする。

【0416】次に、図1(b1)に図示するように、ゲ ート信号線17bにオフ電圧Vghが印加され、駆動用 TFT11b、取込用TFT11cがオフする。同時 (同時に限定されるものではない) にゲート信号線17 bにオン電圧Vglが印加されると、スイッチング用丁 FT11dがオンする。すると、図1(c2)で示すよ うに、電源Vddが変換用TFT11aを介して、電流 プログラムされた電流IdがEL素子15に流れ、図1 (cl) に図示するようにEL素子15が発光する。と の発光輝度は、プログラムの変換効率が100%であれ ば、約N倍の輝度で発光する。

【0417】発光期間は1F/Nである。残りの1F (1-1/N)の期間はスイッチング用TFT11dが オフ状態であり、EL素子15は非点灯(黒表示)とな 20 る。非点灯時はEL素子15に全く電流が流れないた め、完全な黒表示を実現できる。また、発光時は白ビー ク電流が大きいため、発光輝度も高い。そのため、本発 明の駆動方法では、非常に高いコントラスト表示を実現 できる。

【0418】1Fの期間のすべてに、1倍の電流をEL 素子15に流した場合(従来の駆動方式)に黒表示を実 現使用とすると、黒表示電流をコンデンサ19にプログ ラムする必要がある。しかし、電流駆動方式では黒表示 時の電流値が小さいため、寄生容量の影響を大きく受け 十分な解像度が出ない、黒浮きが発生するという課題が 発生する。その上、ゲート信号線17からの突き抜け電 圧の影響も受ける。これらの課題により、黒表示部でも EL素子15が微点灯状態となり、コントラストが非常 に悪くなる。

【0419】本発明の方式では、1F(1-1/N)の 期間は完全にEL素子15に電流が流れないので、完全 な黒表示を実現できる。つまり、黒浮きが発生しないの である。そのため、図76などで説明した里表示のため 現できる。

【0420】なお、もちろん図81などで説明する方式 に図76などの方式を加えて実施してもよいことは言う までもない。また、高コントラスト表示の実現は図68 などの電圧プログラムの画素構成においても同様に効果 を発揮する。つまり、1F/Nバルス駆動を実施するこ とにより、1F (1-1/N) の期間はE L素子15に 全く電流が流れず、髙コントラスト表示を実現できるの

【0421】図1(d1)に図示するように、ゲート信 50 実効値を矩形波形とし、この矩形波形が印加されたとす

号線17dにオン電圧を印加し、スイッチング用TFT 11gをオンさせる。この時、スイッチング用TFT1 1dはオフ状態とする。スイッチング用TFT11gを オンさせることにより、EL素子15のアノード(な お、画素構成によっては、逆バイアス電圧VmをEL素 子15のカソードに印加する場合もある。また、逆バイ アス電圧Vmは正極性の電圧の場合もある) に逆バイア ス電圧Vm(逆パイアス電流lmが流れるとも表現でき る。EL素子15は回路的にはコンデンサとみなすこと ができるため、逆バイアス電圧Vmの印加により交流的 に電流が流れるからである。また、蓄積された電荷が放 電されるからである)が印加される。印加する時間 t ] は図80の状態を満たすように構成する(図1(d 2)).

76

【0422】この逆バイアス電圧Vmを印加する期間は EL素子15に電流 I dが流れていない期間とすること が好ましい。不可能なわけではないが、電流 I dが流れ ていると、逆バイアス電圧Vmとショート状態となるか らである。

【0423】なお、図1(d1)では逆バイアス電圧V mを印加する期間は1Fのうちの1箇所としたがこれに 限定されるものではなく、複数の分割(例えば、1Fの 期間に、2回以上あるいは3回以上に分けてEL素子1 5に逆バイアス電圧Vmを印加するなど)してもよい。 【0424】ゲート信号線17bにオフ電圧を印加して いる期間のうち、任意のタイミングでゲート信号線17 dにオンオフ電圧を印加すればよいので、この制御は容 易にできる。そして、とれらのオン時間の総和が図80 で説明したt1時間となるようにすればよい。

【0425】また、EL素子15に電流を流さない期間 1F(1-1/N)が複数の期間に分割される場合もあ る。複数に分割することで、フリッカの発生が抑制され る。この期間1F(1-1/N)が複数に分割された場 合、その期間に逆バイアス電圧Vmを印加すればよい。 ただし、分割された期間 1F(1-1/N) のすべてに 逆バイアス電圧Vmを印加する必要はない。

【0426】なお、図79のように、逆バイアス電圧を 印加せず、かつEL素子15にも電流が流れていない駆 動方法について、図80で説明した内容を基に以下に補 のプリチャージを行わなくとも高コントラスト表示を実 40 正(もしくは補足)する。図80で説明した時間t1と は逆バイアス電圧Vmを印加した時間である。また、時 間t2とはEL素子15に電流を印加した時間である。 【0427】なお、逆バイアス電圧Vmは直流的に固定 値(Vm=-8V)である必要はない。つまり、逆バイ アス電圧Vmはのこぎり歯波形の信号としてもよく、パ ルス的な波形の信号としてもよい。また、サイン波の信 号波形でもよい。この場合の逆バイアス電圧とは、波形 を積分したもの、あるいは実効値とする。また、印加時 間t1も不明確ではあるが、Vm電圧を積分したもの、

る時間をもしとすればよい。

【0428】例えば、逆バイアス電圧の波形が、図82(a)に図示する電圧波形(3角形波)で、最大振幅値が16V、印加時間がt1=100μsecであるとする。この場合は、図82(b)に図示するように、最大振幅値が8V、印加時間がt1=100μsecの電圧波形と等価である。また、図82(c)に図示するように、最大振幅値が16V、印加時間がt1=50μsecの電圧波形と等価と見なして処理を行ってもよい。以上の事項は、EL素子15に印加する正方向の電圧についても同様である。

77

【0429】また、同様の事項はEL素子15に流す電流 I dについても該当する。つまり、EL素子15に流す電流(電圧)も直流ではなく、サイン波形の電流波形などにする場合もあり、この場合も直流の実効値に変換し、その矩形波の印加期間 t 2 に換算すればよい。

【0430】逆バイアス電圧Vmを印加する期間は、図83(a)に図示するように、ゲート信号線17aにオン電圧を印加する期間(通常、1日期間:プログラム期間)以外のすべての期間としてもよい。

【0431】また、E L素子15に電流 I dを印加していない期間に逆バイアス電圧Vmを印加すればよいので、図83(b)に図示するように、ゲート信号線17aにオン電圧を印加する期間(プログラム期間)を含む期間に逆バイアス電圧Vmを印加するように構成してもよい(図83(b)はE L素子15に電流 I dを印加している期間(ゲート信号線17bにオン電圧を印加している期間)以外に逆バイアス電圧Vmを印加している)。

【0432】なお、図1、図83などで説明した逆バイ 30アス電圧Vmの印加時間、印加方式、印加タイミングなどに関する事項は他の実施例にも適用される。

【0433】以上のように、本発明では、1F期間に非点灯期間(非表示領域)312を有しており、この非点灯期間を設けることにより動画表示性能が向上し、非点灯期間にEL素子15に逆バイアス電圧Vmを印加できる。したがって、EL素子15が劣化することがなく、端子電圧の上昇もないので、電源電圧Vddを低く設定できるのである。

【0434】図83はEL素子15の直前に逆バイアス電圧Vmを印加するように構成したものであったが、他の構成として、図84に図示するように、スイッチング用TFT11dを介してEL素子15に逆バイアス電圧Vm(電流-1m)を印加する構成も例示される。

【0435】ゲート信号線17dにオン電圧を印加する ことにより、スイッチング用TFT11gがオンし、逆 バイアス電圧Vmが印加される。同時にスイッチング用 TFT11dもオンさせることにより、EL素子15に 逆バイアス電圧Vmを印加することができる。図84の 構成であれば、逆バイアス電圧Vmの印加は、スイッチ 50 ジされた電圧が放電されるので、EL素子15のアノー

ング用TFT11gと11dの両方で制御することができるので、制御が容易になり、柔軟性が向上する。

【0436】ゲート信号線17には、該当画素が選択されている時にオン電圧が印加される。非選択の期間はオフ電圧が印加される。したがって、ゲート信号線に印加される電圧は1Fの期間のうち、ほとんどの期間にオフ電圧が印加されているので、オフ電圧を逆バイアス電圧として使用することができる。

[0438] 図85の構成では、ゲート信号線17aに接続された駆動用TFT11b、取込用TFT11cをNチャンネルTFTとしている。したがって、オフ電圧Vghで駆動用TFT11b、取込用TFT11cはオンし、オン電圧Vglでオフ状態となる。1Fのほとんどの期間、ゲート信号線17bにはオン電圧Vglが印加されている。このオン電圧Vglを逆バイアス電圧Vmとする(Vgl=Vm)。

【0439】スイッチング用TFT11gも先の実施例と同様に、ゲート信号線17dに印加する電圧で制御する。なお、断っておくが、ゲート信号線17dに印加する電圧はスイッチング用TFT11gのオンオフを制御するものであるから、印加する電圧はVgh、Vglに特定されるものではなく、他の任意の電圧を使用することができる。

[0440]スイッチング用TFT11gがオンすると、ゲート信号線17aに印加されているオン電圧VglがEL素子15に印加される。したがって、EL素子15に逆パイアス電圧Vmを印加することができる。図85の構成では、図84のように逆パイアス電圧Vmを供給する信号線が不要であるため、画素開口率を向上できる。なお、図85において、ゲート信号線17bに印加する電圧をEL素子15に印加するように構成してもよい(スイッチング用TFT11dはNチャンネルにするなど構成を考慮する必要がある)。

[0441]図85はゲート信号線17の電圧を逆バイアス電圧にする構成であったが、図86はソース信号線18に印加された電圧をEL素子15の逆バイアス電圧とする構成である。スイッチング用TFT11gがオンするタイミングで、ソース信号線18を通じてEL素子15にも逆バイアス電圧Vmを印加することができる。タイミングなどは図76で説明しているので省略する。【0442】逆バイアス電圧Vmを印加する時間が、EL素子15に電流を印加している期間と比較して長いときは、図87に図示するように、EL素子15にチャージされた電圧が放置されるので、EL素子15のアノー

下端子とカソー下端子間をショートさせることにも効果がある。このようにショートさせることで、EL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、EL素子の劣化を抑制できるようになる。なお、図83、図1などで説明した逆バイアス電圧Vmの印加時間、印加方式、印加タイミングなどに関する事項は図87の実施例などにも適用されることは言うまでもない。

【0443】図87では各TFTがPチャンネルで構成されていたが、図88では図87の構成をNチャンネル 10 に変化させたものである。図88において、スイッチング用TFT11gがオンすると、EL素子15のアノード端子とカソード端子間がショートし、この両端子にVdd電圧が印加される。この期間にEL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、EL素子の劣化を抑制できるようになる。なお、図87と同様に、図83、図1などで説明した逆バイアス電圧Vmの印加時間、印加方式、印加タイミングなどに関する事項は図88の実施例などにも適用されることは言うまでもない。 20

【0444】また、電流の流れる制御方向を変化させる ととによっても、EL素子15に逆パイアス電圧Vmを 印加することができる。図89はその構成図である。図 89における402は定電流源である。

【0445】図89において、スイッチング用TFT1 1gがオンしているとき、スイッチング用TFT11g には定電流源402と同一方向の電流が流れ、EL素子 15には順方向電圧が印加される。一方、スイッチング 用TFT11gがオフの時には、EL素子15と定電流 源402とでループを構成するため、EL素子15に流 30 れる電流の向きが逆になる。つまり、定電流源402を 配置または形成することにより、スイッチング用TFT 11gの制御でEL素子15に容易に逆バイアス電圧V 血を印加することができるのである。この時の、ゲート 信号線17のタイミングを図90に示す。ゲート信号線 17 aが選択されている期間以外の期間にゲート信号線 17 dにオン電圧が印加されている。 こうして、EL素 子15の正孔翰送層に蓄積された正孔が引き抜かれ、ま た、電子輸送層に蓄積された電子も引き抜かれ、正孔輸 送材料の酸化および電子輸送材料の還元による劣化を抑 40 制できるようになる。

【0446】図91はスイッチング用TFT11gをNチャンネルとし、スイッチング用TFT11dがオンしているときはスイッチング用TFT11gをオフ状態にし、スイッチング用TFT11dがオフしているときはスイッチング用TFT11gをオン状態にした構成である。スイッチング用TFT11dがオンしているときはEL素子15が点灯し、スイッチング用TFT11gがオンしているときにはEL素子15に逆バイアス電圧Vmが印加される。

【0447】逆バイアス電圧Vmはカソード電圧Vkよりも低い電圧にすることが有効である。しかし、逆バイアス電圧Vmを別途発生させようとすると、発生回路が必要である。この課題に対して、図92ではフライングコンデンサを形成している。フライングコンデンサ10

80

コンデンサを形成している。フライングコンデンサ10 01は画素ごとに配置(形成)する他、パネルに1回路 を配置(形成)してもよい。

【0448】フライングコンデンサ1001はゲート信号線17e、17fを制御することにより動作させる。 そして、ゲート信号線17eとゲート信号線17fは逆位相で動作させる。

【0449】まず、ゲート信号線17eにオン電圧を印加し、TFT11i、11jをオンさせ、コンデンサ19bにVdd電圧を印加する。この時、ゲート信号線17fにはオフ電圧を印加し、コンデンサ19bに充電後、TFT11h、11kをオフさせておく。

【0450】次に、ゲート信号線17eにオフ電圧を印加し、TFT11i、11jをオフさせ、ゲート信号線17fにはオン電圧を印加し、TFT11h、11kをオンさせる。すると、コンデンサ19bに充電されたVdd電圧は逆位相となってEL素子15に、-Vdd電圧を印加する。

【0451】以上のように構成することにより、逆位相

のV m電圧(V m = - V d d)を発生させることができる。したがって、V m電圧の供給配線は不要となる。 【0 4 5 2】以上の実施例は、主として図6で説明した電流プログラム方式の画素構成を例示して説明したがこれに限定されるものではなく、図93に図示するように、カレントミラーの画素構成でも、逆バイアス電圧V mを印加できるように構成できることは言うまでもない。なお、動作は図81で説明した構成をそのまま準用できるので省略する。また、図94に図示するように、電圧プログラムの画素構成であっても、逆バイアス電圧を印加できることは言うまでもない。図68などでも同

電圧プログラムの画素構成であっても、逆バイアス電圧を印加できることは言うまでもない。図68などでも同様である。したがって、電圧プログラムの画素構成でも非点灯時にEL素子15に逆バイアス電圧を印加するという構成あるいは方式を適用することができる。

【0453】図71において、画素を構成するTFT11は5個となっている。しかし、図6(a)では4個で構成されている。そのため、図6(a)の構成の方が画素16を構成するTFT11数が1個少ないため、開口率を高くでき、また、画素欠陥の発生割合が少ないという利点がある。

【0454】図74も電流プログラム方式の画素構成である。ゲート信号線17aにオン電圧を印加することにより、電流プログラムを行うことができる。また、ゲート信号線17bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

0 【0455】図74の構成においてもゲート信号線17

cにオン電圧またはオフ電圧を印加することにより、E L素子15に流す電流を制御することができ、図29などに図示した駆動方法あるいは表示状態を実現できる。 【0456】なお、図74ではTFT11eを付加したが、このTFT11eを削除し、ゲート信号線17bを操作し、スイッチング用TFT11dのオンオフ状態を制御することによっても、図29などの画像表示などを実現できることは言うまでもない。

【0457】図95も電流プログラム方式の画素構成である。ゲート信号線17aにオン電圧を印加することに 10より、電流プログラムを行うことができる。また、ゲート信号線17bにオフ電圧を印加し、ゲート信号線17bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

【0458】図95の構成においてもゲート信号線17 cにオン電圧またはオフ電圧を印加することにより、スイッチング用TFT11dのオンオフを実現できるから、EL素子15に流す電流を制御することができる。したがって、図29などに図示した駆動方法あるいは表示状態を実現できる。

【0459】なお、図61は電圧プログラムの画素構成の例である。本発明は、1フィールドあるいは1フレーム(1F、もちろん2Fあるいはそれ以上を1区切りとすることも考えられる)の所定時間にEL素子に流す電流の印加時間を制御することにより所定の発光輝度を得る方法である。つまり、EL素子に流す電流は所定輝度より高くし、所定より高い輝度分はオン時間を短くすることにより所定輝度を得る方法である。

[0460]図68も電圧プログラムによる画素構成である。図68において、19aは関値検出用容量(コン 30 デンサ)、19bは入力信号電圧保持用容量(コンデンサ)である。

【0461】ステップ1(区間1)では、前記TFT1 1aからTFT11eをすべてONにして一旦前記駆動 用トランジスタをON状態にしているので、関値のばら つきによる電流値のずれが発生する。

【0462】ステップ2(区間2)では、前記TFT1 lb、TFT1ldはONのままで前記TFT1lc、 TFT1leをOFFにすることにより、前記駆動用T FTllaの電流値が0になるので、前記駆動用TFT 40 llaの関値が前記関値検出用容量19aに検出される。

【0463】ステップ3(区間3)では、前記TFT11b、TFT11dをOFFにして前記TFT11c、TFT11eをONにすることにより、データ信号線の入力信号電圧を前記入力信号電圧保持用容量19bに保持すると同時に、前記駆動用TFT11aのゲートに前記入力信号電圧に関値を加えた信号電圧を印加してEL素子15を電流駆動して発光させる。この駆動用TFT11aは飽和領域で動作しているので、ゲート電圧から50

関値を引いた電圧値の2乗に比例した電流が流れるが、 ゲート電圧には前記関値検出用容量19aにより関値が すでに印加されているので、結果的に関値はキャンセル される。従って、駆動用TFT11aの関値がばらつい てもシミュレーション結果に示すように、常に一定の電 流値がEし素子15に流れることになる。

82

【0464】ステップ4(区間4)では、画素16が非選択期間に入ったとき、TFT11b、TFT11dはOFF、TFT11cをOFFにしても、前記入力信号電圧保持用容量19bに保持された入力信号電圧と前記関値検出用容量19aにより保持された関値電圧が駆動用TFT11aのゲートに印加されているので、EL素子15には電流が流れて発光し続ける。

【0465】以上のように、より正確に前記駆動用トランジスタの関値を検出するためには、第1ステップの期間として2μsec以上10μsec以下に設定し、第2ステップの期間として2μsec以上10μsec以下に設定することが必要である。これは書き込みあるいは動作時間を十分に確保するためである。しかし、あまりに長いと本来の電圧プログラム時間が短くなり安定性がなくなる。

【0466】したがって、図61の電圧プログラム方式でも、本発明の駆動方法あるいは表示装置を実施することには効果がある。図61において、ゲート信号線17bを制御することにより、スイッチング用TFT11dをオンオフさせることができる。したがって、EL素子15に流れる電流を間欠させることができる。また、図68においても、ゲート信号線17cの制御により、TFT11eをオンオフ制御することができる。そのため、図29、図33などの表示状態を実現できる。

【0467】また、EL素子15に流れる電流をN倍 し、TFT11eのオンオフ状態を制御することによ り、1/Nの期間点灯させるという駆動方式(なお、N 倍あるいは1/Nに限定されるものではない)を実現で きることは明らかである。つまり、本発明は、図6の電 流プログラムの画素構成のみに限定されるものではな く、図68などの電圧プログラムの画素構成でも、本発 明の駆動方式を実現することができる。したがって、本 明細書で記載した事項は本明細書で記載あるいは図示し た画素構成あるいは装置などに適用することができる。 【0468】同様に、図67、図75も電圧プログラム の画素構成である。図67、図75において、ゲート信 号線17bを制御することにより、TFT11eをオン オフさせることができる。したがって、E L素子15に 流れる電流を間欠させることができる。そのため、図2 9、図33などの表示状態を実現できる。したがって、 容易にアニメーション効果を実現できる。また、多彩な 画像表示を実現できる。また、その他の事項、あるいは 動作は図68と同様あるいは類似するので説明を省略す

る。なお、以上の事項は図76、図81などで説明した 逆バイアス電圧Vm印加方式に関しても適用することが できることは言うまでもない。

【0469】N倍のパルス電圧を印加する方式の課題と して、EL素子15に流れる電流が大きくなり、EL素 子15が劣化し易くなるという課題がある。また、N= 10以上となると、電流が流れる時に必要となるEL素 子15の端子電圧が高くなり、電力効率が悪くなるとい う課題もある。ただし、この課題は白表示時のようにE し素子に流れる電流が大きい時に発生する課題である。 この課題に対する対処法を図6の画素構成を例にして、 図96(a)を参照しながら説明する。

【0470】図96 (a) に図示するように、EL素子 15への電流 I d d が流れている時、 V d d 電圧 (電源 電圧) は駆動用TFT11aのソース-ドレイン間電圧 VsdとEL素子15の端子電圧Vdで分圧される。こ の時、Idd電流が大きいとVd電圧も高くなる。

【0471】Vdd電圧が十分に高いと駆動用TFT1 laにプログラムされた電流 Iwに等しい電流 (Id d)がEL素子15に流れる。したがって、図97の実 20 線に図示するように、電流「wと「ddは等しいかほぼ リニアの関係(比例の関係)になる。リニアの関係にな るというのは、ゲート信号線17などに印加された信号 などによりコンデンサ19に突き抜けが発生し、 Idd = I wとはならないということである。

【0472】本発明では、Vdd電圧はIddとIwが リニア(比例)の関係を維持できないような低い電圧で 用いる。つまり、必要なVsd+Vd>Vddの関係に している。さらには、Vd>Vddとすることが好まし 63.

【0473】例えば、一例として、N=10で、最大白 表示に必要なΙw電流が2μΑとする。この状態では、 Idd電流が2μAとすると、G色のEL素子ではVd =14Vとなるので、この時のVdd電圧を14V以下 とする。もしくは、この時、Vsd=7Vとすると、V  $d + V s d = 1 4 V + 7 V = 2 1 V < V d d = 2 1 V \ge$ する.

【0474】この状態で駆動すると、電流1ddと1w の関係は図97の点線で示すような関係となり、最大白 表示では | wと | d d の関係はリニアの関係でなくなる 40 (非線形の関係、図97のAの範囲)。しかし、黒表示 あるいは灰色表示(表示輝度が比較的低い領域)ではリ ニアの関係(図97のBの範囲)が維持される。

【0475】Aの領域ではEL素子15に流れる電流が 制限され、EL素子15を劣化させるような大きな電流 が流れることはない。また、Aの領域で、Iw電流を増 加させると、変化割合は少ないが I d d 電流は増加する ので、階調表示を実現できる。ただし、Aの領域では非 線形となるからガンマ変換が必要である。例えば、画像 表示が64階調表示であれば、入力画像データ64階調 50 この繰り返しにより、所定の表示輝度を得る方式であ

データをテーブル変換し、128階調あるいは256階 調に変換してソースドライバ14に印加する。

84

【0476】Aの領域では駆動用TFTllaのVsd 電圧とEL素子15のVd電圧とが分圧され、EL素子 15の端子電圧Vaが決定される。この際、注目すべき 事項として、EL素子15は蒸着で形成される(あるい はインクジェット技術などによる塗布で形成)ため、均 一に形成されている点である。そのため、E L 端子電圧 Vaは表示画面21の面内で均一な値となる。したがっ て、駆動用TFT11aの特性がばらついて、EL素子 10 15の端子電圧Vaで補正される。結果的にVdd電圧 を本発明のように低くすることにより、駆動用TFT1 laの特性ばらつきが吸収でき、Vdd電圧の低減によ り低消費電力化を実現できる。また、Nが大きい時に も、Eし素子15には高い電圧が印加されることがな 61.

【0477】EL素子15は蒸着技術、インクジェット 技術だけでなく、インクを付けたスタンプを紙に当てて 印刷するようにするスタンプ技術でも形成できる。

【0478】まず、スタンプとなる部分を形成する。 S i 基板上に半導体プロセスによって有機E L素子の発光 領域と同じ形の溝のパターンを形成し、その溝の中を有 機EL材にドーピングする材料を埋めることでスタンプ とする。一方、有機EL素子を形成する方のガラス基板 には、電極や発光層となる有機EL材を形成しておく。 【0479】次に、スタンプと有機EL素子となる材料 をつけたガラス基板をぴったりと重ね合わせる。この状 態を保ちながら+100℃~+200℃で約10分間に わたって熱処理する。こうすることで、スタンプの溝の 中に埋め込んだドーピング材料が蒸発し、有機EL素子 の発光層に拡散する。あとは、色に応じたドーピング材 料を埋め込んだスタンプを順次有機EL素子に当てて、 RGBを塗り分ける。このスタンプ技術を用いると、1 0μmの矩形パターンや、線幅10μmのパターンのΕ L素子15が容易に形成できる。

【0480】なお、1Fの期間の1/Nに、EL素子1 5 に電流を印加し、その印加する電流は所定輝度より高 くし、所定より高い輝度分はオン時間を短くすることに より所定輝度を得る方法であるとした。しかし、本発明 は一定の期間内の輝度平均を所定値にする方法である。 したがって、1F(1フィールドあるいは1フレーム) に限定されるものではない。 例えば、図33 (c1) の 表示状態が2F連続したり、図33(c2)の表示状態 が3F連続したり、この図33 (cl)と図33 (c 2)の状態が交互に繰り返されても良い。最終的に、5 Fで所望の平均輝度となるように駆動すればよい。

【0481】したがって、本発明の技術的思想は、一定 の期間内に、EL素子15のオン状態とオフ状態とを発 生させ、このオン状態とオフ状態とを交互に繰り返し、

る。また、制御はゲート信号線17のオンオフ電圧を制 御することにより実現する。

【0482】なお、ソース信号線18に所定電流のN倍 の電流を流し、EL素子15に所定電流のN倍の電流を 1/N期間流すとしたが、実用上はこれを実現できな い。実際にはゲート信号線17に印加した信号パルスが コンデンサ19に突き抜け、コンデンサ19に所望の電 圧値 (電流値)を設定できないからである。一般的にコ ンデンサ19には所望の電圧値(電流値)よりも低い電 圧値 (電流値) が設定される。例えば、10倍の電流値 10 を設定するように駆動しても、5倍程度の電流しかコン デンサ19には設定されない。N=10としても実際に EL素子15に流れる電流はN=5の場合と同一とな る。したがって、本発明はN倍の電流値を設定し、N倍 に比例したあるいは対応する電流をEL素子15に流れ るように駆動する方法である(ただし、図97で説明す る駆動方法も実施するので限定は難しい)。もしくは、 所望値よりも大きい電流をEL素子15にパルス状に印 加する駆動方法である。

[0483]なお、図29などにおいて、非表示領域3 20 12は完全に非点灯状態である必要はない。微弱な発光 あるいはうっすらとした画像表示があっても実用上は問 題ない。つまり、画像表示領域311よりも表示輝度が 低い領域と解釈するべきである。また、非表示領域31 2とは、R、G、B画像表示のうち、1色または2色の みが非表示状態という場合も含まれる。

【0484】なお、各画素構成において(例えば、図6 1、図70 (a)、図95)、スイッチング用TFT1 1 d のゲート端子を直接、オンオフ電圧を印加できるよ うに構成しても、EL素子15に流す電流を間欠動作さ 30 見ることになる。 せることができる。また、図60においてはTFT11 e、図8においては変換用TFTlla、図9において は駆動用TFT11bのゲート端子を直接、オンオフ電 圧を印加できるように構成しても、EL素子15に流す 電流を間欠動作させることができる。つまり、EL素子 15に電流を印加するTFTのゲート端子を制御するこ とによって、図29などの表示状態を実施できるという ことである。

[0485] (実施の形態10)また、図43の表示方 法のように、奇数画素行と偶数画素行(もしくは複数画 40 素行ごと)を所定フィールド(フレーム)ごとに切り替 える表示方法は、立体画像表示装置もしくは方法に適用 することができる。以下、本発明の立体表示装置につい て図98、図99を参照しながら説明をする。

【0486】まず、本発明の表示方法は基本的に画素行 単位(画素行の方向)に画像表示領域311と非表示領 域312を構成するものである。したがって、図43の ように表示する場合は縦横を変換する必要があるが、こ の変換は容易である。メモリに蓄積された画像データを 行と列を入れ替えればよいからである。縦横を変換すれ 50 の右目に入射する光と左目に入射する光とを制御できる

は図98(al)の表示状態となる。つまり、表示パネ ルの走査方向はAに示す矢印方向となるが、画像は図9 8 (al) に示すように、紙面上が画面上となり、紙面 下が画面下となる。したがって、表示パネルの使用者に はあたかも画面上から下に走査しているように見える。 [0487]表示パネルの表示画面21は左から奇数画 素列(行)に右目の画像を表示し、偶数画素列(行)に 左目の画像を表示する。画像表示は表示パネルと同期す る観察用眼鏡852と同期させる。観察用眼鏡852は シャッタ851として機能する2つの液晶パネルを具備 している。

【0488】第1フィールド(第1フレーム)では図9 8 (al) に示すように、左から奇数番目の画素列(実 際は奇数番目の画素行)が画像表示領域311となり、 左から偶数番目の画素列(実際は偶数番目の画素行)が 非表示領域312となる。図98 (a1) の表示状態と 同期して、観察用眼鏡852の左目用のシャッタ851 Lが閉じ、観察用眼鏡852の右目用のシャッタ851 Rが開く。したがって、観察者は右目だけで、図98 (a 1) の画像を見ることになる。

[0489]第1フィールド (第1フレーム) の次の第 2フィールド (第2フレーム) では図98 (a2) に示 すように、左から偶数番目の画素列(実際は偶数番目の 画素行) が画像表示領域311となり、左から奇数番目 の画素列 (実際は奇数番目の画素行) が非表示領域31 2となる。図98(a2)の表示状態と同期して、観察 用眼鏡852の右目用のシャッタ851Rが閉じ、観察 用眼鏡852の左目用のシャッタ851しが開く。した がって、観察者は左目だけで、図98(a2)の画像を

【0490】以上の動作を交互に繰り返すことにより、 観察者が使用する眼鏡型のシャッタ851と画像表示状 態とが同期して交互に観察者に見えるようにすることに より立体画像表示を実現できる。

【0491】シャッタ851を用いずに立体画像表示を 実現するためには、図99に図示したように表示パネル の光出射側にプリズム861を配置すればよい。プリズ ム861のA部をある表示タイミングにおける画像表示 領域311に対応するように配置し、プリズム861の B部を前述の表示タイミングにおける非表示領域312 に対応するように配置する。 このように、プリズム86 ] を配置することにより、奇数画素行の画像が観察者の 右目に入射するようにし、偶数画素行の画像が観察者の 左目に入射するように構成することができる。なお、ブ リズム861と表示パネル間にはエチレングリコールな どの光結合材862を配置し、オプティカルカップリン グさせておく。

【0492】なお、図98において切り替え手段852 は眼鏡としたがこれに限定されるものではない。観察者

ものであればいずれのものでもよい。例えば、ゴーグル タイプのものが例示される。また、切り替え手段852 と表示パネルとが一体となったもの (ヘッドマウントデ ィスプレイ) が例示される。また、シャッタ851は液 晶表示パネルに限定されるものではなく、カメラのシャ ッタ、回転フィルタのようにメカニカルなものでもよ い。また、ポリゴンミラーを組み込んだもの、PLZT を用いたシャッタ、エレクトロルミネッセンスを応用し たシャッタなども例示される。

像を図43の表示方法を用いることにより立体表示を実 現できる。なお、図98、図99の装置または方法は、 複数画素行(列)どと、あるいは奇数画素行(列)と偶 数画素行(列)どとに異なる画像を表示するというもの であり、その用途は立体表示のみに限定されるものでは ない。例えば、単に2つの画像を重ね合わせて表示する という用途に用いてもよい。なお、本発明のEL表示装 置を用い、本発明の駆動方法を実施することが特に有効 であることは言うまでもない。

【0494】なお、各画素を駆動する素子はTFT11 としたがこれに限定されるものではない。例えば、薄膜 ダイオード(TFD)の組み合わせにより、画素16を 構成でき、このダイオードの一方の端子電圧レベルを操 作することにより、EL素子15に流す電流を間欠動作 させることができる。その他、バリスタ、サイリスタな どのスイッチング素子でも同様である。

【0495】例えば、図6の変換用TFTllaにおけ る駆動用TFTを例にすれば、図100(a)に図示す るように、NチャンネルまたはPチャンネルのバイボー ラトランジスタでもよい。また、図100(b)に図示 30 するように、NチャンネルまたはPチャンネルのMOS トランジスタでもよい。さらに、図100 (c) に図示 するように、ホトトランジスタあるいはホトダイオード でもよく、図100(d)に図示するように、サイリス タ素子などでもよい。このことは、他の画素を構成する スイッチング素子にも適用できるということを意味す る。

【0496】また、TFT素子はPチャンネルでもNチ ャンネルのいずれでも用いることができる。また、EL 素子15の位置は図6または図8のような位置に限定さ 40 れるものではない。例えば、図96(a)は図6の変換 用TFT11aとEL素子15との接続状態を抜き出し たものである。この変形として図96 (b) の構成も例 示される。また、駆動用TFTをNチャンネルとした図 96 (c)、(d)の構成も例示される。 これらの事項 は変換用TFTllaについてだけでなく、他の画素を 構成するスイッチング素子についても同様である。

【0497】また、TFTなどのスイッチング素子は低 温多結晶Si-TFTで形成されることが望ましいが、

**15に流す電流が1μA以下の場合は、アモルファスシ** リコン技術で形成した方が特性上十分である。また、ゲ ートドライバ回路、ソースドライバ回路などもアモルフ ァスシリコン技術による素子で形成してもよい。

【0498】また、図10、図46、図47、図49な どのゲートドライバ12の構成についてもこれに限定さ れるものではなく (図10などはST信号を順次クロッ クに同期してシフト動作(シリアル処理)する構成であ る)、例えば、各ゲート信号線のオンオフ状態を一度に 【0493】以上のように、1つの表示パネルの表示画 10 決定するパラレル入力であってもよい(すべてのゲート 信号線のオンオフフロジックがコントローラかゲート信 号線17の本数分、一度に出力され決定される構成な ど)。

> 【0499】図101は有機ELモジュールの構成図で ある。プリント基板103にはコントロールIC101 と電源IC102が実装されている。プリント基板10 3とアレイ基板49とはフレキシブル基板104で電気 的に接続される。 とのフレキシブル基板 104を介して 電源電圧、電流、制御信号、映像データがアレイ基板4 9のソースドライバ14およびゲートドライバ12に供 給される。

> 【0500】との際問題となるのは、ゲートドライバ1 2の制御信号である。ゲートドライバ12には少なくと も5 V以上の振幅の制御信号を印加する必要がある。し かし、コントロールIC101の電源電圧は2.5∨あ るいは3.3Vであるため、コントロールIC101か ら直接ゲートドライバ12に制御信号を印加することが できない。

【0501】との課題に対して、本発明は高い電圧で駆 動される電源ICIO2からゲートドライバ12の制御 信号を印加する。電源 IC102はゲートドライバ12 の動作電圧も発生させるので、当然ながらゲートドライ バ12に最適な振幅の制御信号を発生させることができ る。

【0502】図102ではゲートドライバ12の制御信 号をコントロールIC101で発生させ、ソースドライ バ14で一旦レベルシフトを行った後、ゲートドライバ 12に印加している。ソースドライバ14の駆動電圧は 5~8Vであるから、コントロールIC101から出力 された3.3 V振幅の制御信号を、ゲートドライバ12 が受け取れる5 V振幅に変換することができる。

【0503】図77、図103は本発明の表示モジュー ル装置の説明図である。図103はソースドライバ14 内に内蔵表示メモリ151を持たせた構成である。内蔵 表示メモリは8色表示(各色1ピット)、256色表示 (RGは3ビット、Bは2ビット)、4096色表示 (RGBは各4ビット)の容量を有する。この8色、2 56色または4096色表示で、かつ静止画の時は、ソ ースドライバ14内に配置されたドライバコントローラ アモルファスシリコンTFTでもよい。特に、EL素子 50 はこの内蔵表示メモリ151の画像データを読み出すの

で、超低消費電力化を実現できる。もちろん、内蔵表示 メモリ151は26万色以上の多色の表示メモリであっ てもよい。また、動画の時も内蔵表示メモリ151の画 像データを用いてもよい。

【0504】内蔵表示メモリ151の画像データは誤差 拡散処理あるいはディザ処理を行った後のデータをメモ **りしてもよい。誤差拡散処理、ディザ処理などを行うこ** とにより、26万色表示データを4096色などに変換 することができ、さらに内蔵表示メモリ151の容量を 小さくすることができる。誤差拡散処理などは誤差拡散 10 コントローラ141で行うことができる。

【0505】なお、図103などにおいて、14をソー スドライバと記載したが、単なるドライバだけでなく、 電源IC102、バッファ回路154(シフトレジスタ などの回路を含む)、データ変換回路、ラッチ回路、コ マンドデコーダ、シフト回路、アドレス変換回路、内蔵 表示メモリ151からの入力を処理してソース信号線に 電圧あるいは電流を出力する様々な機能あるいは回路が 構成されたものである。これらの事項は、本発明の他の 実施例でも同様である。

【0506】なお、図103などで説明する構成は、図 12~図16、図18、図20、図21などで説明する 3辺フリー構成あるいはその他の構成、駆動方式などに も適用できることは言うまでもない。

【0507】フレームレートはパネルモジュールの消費 電力と関係する。つまり、フレームレートを高くすれば ほぼ比例して消費電力は増大する。携帯電話などは待ち 受け時間を長くするなどの観点から消費電力の低減を図 る必要がある。一方、表示色を多くする(階調数を多く する) ためにはソースドライバト4などの駆動周波数を 30 高くしなければならない。しかし、消費電力の問題から 消費電力を増大させることは困難である。

【0508】一般的に、携帯電話などの情報表示装置で は、表示色数よりも低消費電力化が優先される。表示色 数を増加させる回路の動作周波数が高くなる、あるいは EL素子に印加する電圧 (電流)波形の変化が多くなる などの理由から、消費電力が増加する。したがって、あ まり表示色数を多くすることはできない。この課題に対 して、本発明は画像データを誤差拡散処理あるいはディ ザ処理を行って画像を表示する。

【0509】図104で説明した本発明の携帯電話では 図示していないが、筐体の裏側にCCDカメラを備えて いる。CCDカメラで撮影した画像およびデータは即時 に表示パネルの表示画面21に表示できる。ССDカメ ラの画像データは24ビット(1670万色)、18ビ ット (26万色)、16ピット (6.5万色)、12ピ ット (4096色)、8ビット (256色) をキー入力 で切り替えることができる。

【0510】表示データが12ピット以上の時は、誤差 拡散処理を行って表示する。つまり、CCDカメラから 50 てくる伝送フォーマットである。伝送とは、受信するデ

の画像データが内蔵表示メモリ151の容量以上の時 は、誤差拡散処理などを実施し、表示色数を内蔵表示メ モリ151の容置以下となるように画像処理を行う。 【0511】今、ソースドライバ14には4096色 (RGB各4ビット)で1画面の内蔵表示メモリ151 を具備しているとして説明する。モジュール外部から送 られてくる画像データが4096色の場合は、直接ソー スドライバ14の内蔵表示メモリ151に格納され、こ の内蔵表示メモリ151から画像データを読み出し、表 示画面21に画像を表示する。

90

【0512】画像データが26万色(G:6ビット、 R、B: 各5ビットの計16ビット) の場合は、図77 および図103に示すように、誤差拡散コントローラ1 41の演算メモリ152に一旦格納され、かつ同時に演 算回路153で誤差拡散あるいはディザ処理が行われ る。この誤差拡散処理などにより16ビットの画像デー タは内蔵表示メモリ151のビット数である12ビット に変換されてソースドライバ14に転送される。ソース ドライバ14はRGB各4ビット (4096色) の画像 20 データを出力し、表示画面21に画像を表示する。

【0513】また、図77の構成などにおいて、垂直同 期信号V Dを用いて(垂直同期信号V Dで処理方法を変 化させて)、フィールドあるいはフレームごとに誤差拡 散処理あるいはディザ処理方法を変化させてもよい。例 えば、ディザ処理では、第1フレームでBayer型を 用い、次の第2フレームではハーフトーン型を用いる。 このように、フレームごとにディザ処理を変化させ、切 り替えるようにすることで、誤差拡散処理などに伴うド ットむらが目立ちにくくなるという効果が発揮される。 【0514】また、第1フレームと第2フレームで誤差 拡散処理などの処理係数を変化させてもよい。また、第 1フレームで誤差拡散処理をし、第2フレームでディザ 処理をし、さらに第3フレームで誤差拡散処理をするな ど、様々な処理を組み合わせても良い。また、乱数発生 回路を具備し、乱数の値でフレームごとに処理を実施す る処理方法を選択してもよい。

【0515】フレームレートなどの情報を伝送されるフ ォーマットに記載するようにしておけば、この記載され たデータをデコードあるいは検出することにより、自動 40 でフレームレートなどを変更できるようになる。 伝送さ れてくる画像が動画か静止画かを記載しておくこと、特 に動画の場合は、動画の1秒あたりのコマ数を記載して おくことが好ましい。また、伝送パケットに携帯電話の 機種番号を記載しておくことが好ましい。なお、本明細 書では伝送パケットとして説明するがパケットである必 要はなく、送信あるいは発信するデータ中に図105な どで説明する情報 (表示色数、フレームレートなど)が 記載されたものであればいずれでもよい。

【0516】図106は本発明の携帯電話などに送られ

ータと送信するデータの双方を含む。つまり、携帯電話 は受話器からの音声あるいは携帯電話に付属のCCDカ メラで撮影した画像を他の携帯電話などに送信する場合 もあるからである。したがって、図105などで説明す る伝送フォーマットなどに関連する事項は送信、受信の 双方に適用される。

【0517】本発明の携帯電話などにおいて、データは デジタル化されてパケット形式で伝送される。図106 で記載しているように、フレームの中は、フラグ部 報部(I)、及びフレームチェックシーケンス(FC S) からなる。 コントロール部 (C) のフォーマットは 図107のように情報転送(Iフレーム)、監視(Sフ レーム)、及び非番号制(Uフレーム)の3つの形式を とる。

【0518】まず、情報転送形式は、情報 (データ)を 転送する時に使用するコントロールフィールドの形式 で、非番号性形式の一部を除けば、情報転送形式がデー タフィールドを有する唯一の形式である。この形式によ るフレームを情報フレーム(「フレーム)という。 【0519】また、監視形式は、データリンクの監視制 御機能、すなわち情報フレームの受信確認、情報フレー ムの再送要求などを行うために使用する形式である。と の形式によるフレームを、監視フレーム(Sフレーム) という。

【0520】次に、非番号制形式は、その他のデータリ ング制御機能を遂行するために使用するコントロールフ ィールドの形式で、この形式によるフレームを非番号制 フレーム(リフレーム)という。

【0521】端末及び網は送受信する情報フレームを送 30 信シーケンス番号N(S)と受信シーケンス番号N

(R)で管理する。N(S)、N(R)とも3ビットで 構成され、0~7までの8個を循環番号として使い、7 の次は0となるモジュラス構成をとっている。したがっ て、この場合のモジュラスは8であり、応答フレームを 受信せずに連続送信できるフレーム数は7である。

【0522】データ領域には色数データを示す8ビット のデータとフレームレートを示す8ビットのデータが記 載される。とれらの例を図105(a)、(b)に示 す。また、表示色の色数には静止画と動画の区別を記載 40 しておくことが好ましい。また、携帯電話の機種名、送 受信する画像データの内容(人物などの自然画、メニュ ー画面)などを図106のパケットに記載しておくこと が望ましい。データを受け取った機種はデータをデコー ドし、それを自身(該当機種番号)のデータと認識した とき、記載された内容によって、表示色、フレームレー トなどを自動的に変更する。また、記載された内容を表 示装置の表示画面21に表示するように構成してもよ い。ユーザーが表示画面21の記載内容(表示色、推奨 フレームレート)を見て、キーなどを操作し、最適な表 50 る。その後、受信したEL表示装置などで誤差拡散処理

示状態にマニュアルで変更すればよい。

【0523】なお、一例として、図105 (b) では数 値の3はフレームレート80Hzと一例をあげて記載し ているがこれに限定されるものではなく、40~60H 2などの一定範囲を示すものであってもよい。また、デ ータ領域に携帯電話の機種などを記載しておいてもよ い。機種により性能などが異なり、フレームレートを変 化させる必要も発生するからである。また、画像が漫画 であるとか、宣伝(CM)であるとかの情報を記載して (F)、アドレス部(A)、コントロール部(C)、情 10 おくことも好ましい。また、パケットに視聴料金や、パ ケット長などの情報を記載しておいてもよい。ユーザー が視聴料金の確認をして情報を受信するか否かを判断で きるからである。また、画像データが誤差拡散処理をさ れているか否かのデータも記載しておくことが好まし 61

92

【0524】また、画像処理方法(誤差拡散処理、ディ ザ処理などの種別、重み付け関数の種類とそのデータ ガンマの係数など)、機種番号などの情報を伝送される フォーマットに記載しておけばよい。また、画像データ がCCDで撮影されたデータか、JPEGデータか、ま た、その解像度、MPEGデータか、BITMAPデー タかなどの情報を記載しておくと、これを基にデータを デコードあるいは検出し、自動受信した携帯電話などを 最適な状態に変更できるようになる。

【0525】もちろん、伝送されてくる画像が動画か静 止画かを記載しておくこと、特に動画の場合は、動画の 1秒あたりのコマ数を記載しておくことが好ましい。ま た、受信端末で推奨する再生コマ数/秒などの情報も記 載しておくことが好ましい。

【0526】以上の事項は、伝送パケットが送信の場合 でも同様である。また、本明細書では伝送パケットとし て説明しているがパケットである必要はない。つまり、 送信あるいは発信するデータ中に図105などで説明す る情報が記載されたものであればいずれでもよい。

【0527】誤差拡散処理コントローラ141には、誤 差処理されて送られてきたデータに対して逆誤差拡散処 理を行い、元データに戻してから再度、誤差拡散処理を 行う機能を付加することが好ましい。誤差拡散処理の有 無は図106のパケットデータに載せておく。また、誤 差拡散 (ディザなどの方式も含む) の処理方法、形式な ど逆誤差拡散処理に必要なデータも載せておく。

【0528】逆誤差拡散処理を実施するのは、誤差拡散 処理の過程において、ガンマカーブの補正も実現できる からである。データを受けたEL表示装置などのガンマ カーブと、送られてきたガンマカーブとが適応しない場 合や、送信されてきたデータが誤差拡散などの処理をす でに実施された画像データである場合がある。この事態 に対応するために、逆誤差拡散処理を実施し、元データ に変換してガンマカーブ補正の影響が出ないようにす

を行い、受信表示パネルに最適なガンマカーブにし、かつ最適な誤差拡散処理となるように誤差拡散処理などを 実施する。

93

【0529】また、表示色によりフレームレートを切り替えたい場合は、携帯電話などの装置にユーザボタンを配置し、ボタンなどを用いて表示色などを切り替えられるようにすればよい。

【0530】図104は情報端末装置の一例としての携帯電話の平面図である。筐体193にアンテナ191、テンキー192などが取りつけられている。194は表 10 示色切り替えキーあるいは電源オンオフ、フレームレート切り替えキーである。

【0531】携帯電話などの内部回路ブロックを図108に示す。回路は主としてアップコンバータ205とダウンコンバータ204のブロック、デェブレクサ201のブロック、LOバッファ203などのブロックから構成される。

【0532】キー194を1度押さえると表示色は8色モードに、続いて同一キー194を押さえると表示色は256色モード、さらに同一キー194を押さえると表 20 示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー194は3つ(以上)となる。

【0533】キー194はブッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切り替わるものでもよい。例えば、4096色を受話器に音声入力すること、例えば、「高品位表示」、「256色モード」あるいは 30「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面21に表示される色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【0534】また、表示色の切り替えは電気的に切り替わるスイッチでもよく、表示パネルの表示画面21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切り替える、あるいはクリックボールのように回転あるいは方向により切り替えるように構成してもよい。

【0535】194は表示色切り替えキーとしたが、フレームレートを切り替えるキーなどとしてもよい。また、動画と静止画とを切り替えるキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に(連続的に)フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサ C、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現でき

る。また、半導体チップに複数のコンデンサを形成して おき、1つ以上のコンデンサを選択し、これらを回路的 に並列に接続することにより実現してもよい。

【0536】なお、表示色などによりフレームレートを切り替えるという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置に限定されるものではなく、液晶表示パネル、有機EL表示パネルや、TFTパネル、PLZTパネルや、CRTにも適用することができる。

【0537】(実施の形態11)さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する

[0538]図109は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また、一部拡大あるいは縮小した箇所や省略した箇所もある。例えば、図109においては接眼カバーを省略している。以上のことは他の図面においても該当する。

【0539】ボディー451の裏面は暗色あるいは黒色にされている。これは、表示パネル82から出射した迷光がボディー451の内面で乱反射し、表示コントラストの低下を防止するためである。また、表示パネルの光出射側には  $\lambda/4$  板50(位相板など)、偏光板54などが配置されている。このことは図2でも説明している。

【0540】接眼リング452には拡大レンズ453が 取りつけられている。観察者は接眼リング452をボディー451内での挿入位置を可変して、表示パネルの表 示画像にピントが合うように調整する。また、必要に応じて表示パネルの光出射側に正レンズ454を配置すれば、拡大レンズ453に入射する主光線を収束させることができる。そのため、拡大レンズ453のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【0541】図110はビデオカメラの斜視図である。ビデオカメラは撮影レンズ461とビデオカメラ本体462とを具備し、撮影レンズ461とビューファインダ466とは背中合わせとなっている。また、ビューファインダ466には接眼カバー464が取りつけられている(図109も参照)。観察者(ユーザー)はこの接眼カバー464部から表示パネルの画像を観察する。

[0542] 一方、本発明のEL表示パネルは表示画面 21としても使用されている。表示画面21は支点46 8で角度を自由に調整できる。表示画面21を使用しない時は、格納部463に格納される。

[0543]図110において、465は表示モード切 50 り替えスイッチである。表示モード切り替えスイッチ

65を押さえると図35の回路が動作し、図35で説明 した事項が実施される。

【0544】本実施の形態のEL表示装置はビデオカメラだけでなく、図111に示すような電子カメラにも適用することができる。表示パネル82はデジタルカメラ本体472に付属されたモニターとして用いる。デジタルカメラ本体472にはシャッタ471の他、表示モード切り替えスイッチ465が取りつけられている。

【0545】また、クロック・フェーズと画面位置(水平・垂直)を自動調整する「画面自動調整」機能や、ブ 10 ラック・レベル・コントラストを自動調整する「オートゲインコントロール機能」を搭載することが好ましい。ブラック・レベル・コントラストを適正な値に調整すれば、RGB各色に対して最適な階調表示を実現できる。さらに、VGAモードなどを縮小あるいは拡大表示した際に発生するにじみなどを抑える機能を搭載することが好ましい。また、一定時間使用しない際には、自動的にバックライトが消える「パワーセーブモード」を搭載することが好ましい。以上の事項は他の本発明でも同様である。

【0546】以上は表示パネル82の表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面21がたわみやすい。その対策のため、本発明では図112に示すように、表示パネル82に外枠481をつけ、外枠481をつりさげられるように固定部材482で取りつけている。この固定部材482を用いて図113に示すように、ネジ等の固定部材482を用いて壁491などに取りつける。

【0547】しかし、表示パネル82の画面サイズが大きくなると重量も重たくなる。そのため、表示パネル82の下側に脚取り付け部484を配置し、複数の脚483で表示パネル82の重量を保持できるようにしている。

【0548】図112のように、脚483はAに示すように左右に移動でき、また、脚483はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【0549】なお、脚483あるいは筐体(他の本発明においても)にはプラスチックフィルムー金属板複合材(以後、複合材と呼ぶ)を使用する。複合材は、金属とプラスチックフィルムを特殊表面処理層(接着層)を介して強力に接着したものである。金属板は0.2mm以上0.8mm以下が好ましく、金属板に特殊表面処理層を介して貼り合わされるプラスチックフィルムは15μm以上100μm以下にすることが好ましい。特殊接着法によりプラスチックと金属板間に強固な密着力を有するようになる。この複合材を使用することにより、プラスチック層への着色、染色、印刷が可能となり、また、プレス部品での二次加工工程(フィルムの手貼り、メッキ塗装)の削除が可能となる。また、従来では不可能で 50 ッチを設置している。

あった深絞り成形やDI成形に適する。

【0550】図112のテレビにおいて、画面の表面を保護フィルム(保護板でもよい)493で被覆している。これは、表示パネル82の表示画面21に物体があたって破損することを防止することが1つの目的である。保護フィルム493の表面にはAIRコートが形成されており、また、表面をエンボス加工することにより液晶表示画面21に外の状況(外光)が写り込むことを抑制している。

96

【0551】保護フィルム493と表示パネル82間にビーズなどを散布することにより、一定の空間が配置されるように構成する。また、保護フィルム493の裏面に筬畑な凸部を形成し、この凸部で表示パネル82と保護フィルム493間に空間を保持させる。このように、空間を保持することにより保護フィルム493からの衝撃が表示パネル82に伝達することを抑制する。

【0552】また、保護フィルム493と表示パネル82間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【0553】保護フィルム493としては、ポリカーボネートフィルム(板)、ポリプロピレンフィルム

(板)、アクリルフィルム(板)、ポリエステルフィルム(板)、PVAフィルム(板)などが例示される。その他、エンジニアリング樹脂フィルム(ABSなど)を用いることもできる。また、強化ガラスなど無機材料からなるものでもよい。保護フィルム493を配置するかわりに、表示パネル82の表面をエポキシ樹脂、フェーノル樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

【0554】また、保護フィルム493あるいはコーティング材料の表面をフッ素コートすることにも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【0555】画面は4:3に限定されるものではなく、ワイド表示ディスプレイでもよい。解像度は1280×768ドット以上にすることが好ましい。ワイド型とすることにより、DVD映画やテレビ放送など、横長表示のタイトルや番組をフルスクリーンで楽しむことができる。表示パネル82の明るさは300cd/m³(カンデラ/平方メートル)、さらには500cd/m³(カンデラ/平方メートル)にすることが好ましい。また、インターネットや通常のパソコン作業に適した明るさ(200cd/m³)で表示できるように切り替えスイッチを設置している。

【0556】このように、使用者は表示内容あるいは使 用方法により、最適な画面の明るさにすることができ る。さらに動画を表示しているウインドウだけを500 cd/m'にして、その他の部分は200cd/m'にす る設定も可能である。テレビ番組をディスプレイの隅に 表示しておいて、メールをチェックするといった使い方 にも柔軟に対応できる。スピーカーはタワー型の形状に なり、前方向だけではなく、空間全体に音が広がるよう に設計されている。

97

【0557】テレビ番組の再生、録画機能も使い勝手が 10 向上している。例えば、 i モードからの録画予約が簡単 にできる。従来は新聞などのテレビ番組表で時間、チャ ンネルを確認してから予約する必要があったが、電子番 組表をiモードで確認して予約できる。これなら、放送 時間が分からなくて困ることもない。また、録画番組の 短縮再生もできる。ニュース番組などのテロップや音声 の有無で重要性を判断しながら、不必要と判断した部分 を飛ばして、番組の概要を短時間で見ることができる (30分番組で1~10分程度)。

【0558】また、テレビ録画ができるようにディスク 20 容量が40GB以上のハードディスクを積載している。 これは本体の他に、電源と映像用入出力端子をまとめた 拡張ボックスで構成されている。ビデオなどのAV機器 の接続に使う拡張ボックスには、パソコンとテレビの他 に2 系統の映像機器を接続できる。映像入力はBSデジ タルチューナー用のD1端子の他にS端子入力も備え、 接続する機器に合わせて選択できる。また、ゲーム機な どの接続に便利なようにAV用の端子は前面に配置され ている。

[0559]以上の保護フィルム493、筐体、構成、 特性、機能などに関する事項は本発明の他の表示装置あ るいは情報表示装置などにも適用されることは言うまで もない。

【0560】すでに説明したが、図52のTFT11 d、図53のTFTlle、図54のTFTlld、図 55のTFT11b、図56のTFT11d、図57の TFT11d、図58のTFT11e、図59のTFT lle、図60のTFTlld、図62のTFTll d、図63のTFT11d、図67のTFT11e、図 75のTFT11eなどのオンオフ状態を制御すること 40 により、図29、図33、図39、図41、図43、図 44、図45、図48、図50、図51、図98などで 説明した駆動方法あるいは表示方法もしくは装置を実施 できることは言うまでもない。

【0561】また、図6などの駆動用TFT11b、取 込用TFT11c、スイッチング用TFT11dなどは Nチャンネルで形成されることが好ましい。 コンデンサ 19への突き抜け電圧が低減するからである。

【0562】また、EL素子は点灯初期に特性変化が大 きいので、焼きツキなどが発生しやすい。この対策のた 50 構成、あるいは駆動方法における画素構成あるいはアレ

め、バネル形成後、20時間以上150時間以内の間、 白ラスター表示でエージングを行った後に、商品として 出荷することが好ましい。このエージングでは所定表示 輝度よりも2~10倍程度の明るさで表示させることが 好ましい。

98

[0563]図10、図29~図33、図35、図4 0、図43、図46、図47、図49、図81、図83 ~図94などを用いて駆動(表示)方法、駆動回路につ いて説明したが、これらの技術的思想を実現するガリ砒 素、シリコン、ゲルマニウムなどで作製された半導体チ ップも本発明の権利範囲である。これらの半導体チップ を表示パネルに実装することにより表示装置、情報表示 装置などを実現できる。

【0564】また、図6(b)、図9、図56、図5 9、図60、図62などにおけるVbb電圧を印加する 端子を、図47で説明したようにゲートドライバ12 b に接続することにより、良好な画像表示を実現すること ができる。

【0565】また、図96、図100などで説明した電 源電圧V d d などに関する事項も本明細書のすべての画 素構成あるいは、表示バネル、情報表示装置あるいは駆 動方法に適用される。また、図2~図5、図12~図2 4、図77、図81、図83~図94、図99、図10 1~図103、図105、図108~図112などに関 しても本明細書のすべての画素構成あるいは、ドライバ 配置、表示パネル、情報表示装置あるいは駆動方法に適 用されることは言うまでもない。

【0566】また、図76、図78、図81、図83~ 図94などで説明したEL素子15に逆バイアス電圧を 印加する方法あるいは構成も、図6、図8、図29、図 42、図46、図47、図52~図56、図59~図6 3、図67、図69~図75、図95などの画素構成あ るいはアレイ構成などに適用することは言うまでもな い。また、これらの構成で、図28~図31、図33~ 図40、図43~図45、図48、図50、図51、図 75などを実現できることも説明を要しない。図12~ 図21の3辺フリー構成と組み合わせることも有効であ ることは言うまでもない。特に、3辺フリー構成の場合 は、画素がアモルファスシリコン技術を用いて作製され ている時に有効である。また、アモルファスシリコン技 術で形成されたパネルでは、TFT素子の特性ばらつき のプロセス制御が不可能なため、本発明の電流駆動を実 施することが好ましい。

【0567】さらに、これらの技術を用いて、図2~図 5、図12~図24、図77、図81、図83~図9 4、図99、図101~図103、図105、図108 ~図112などの表示パネル、情報表示装置あるいは駆 動方法に適用できることも言うまでもない。

[0568] 図1、図80~図94などで説明した画素

99

イ構成などはE L表示パネルにのみ限定されるものではない。例えば、液晶表示パネルにも適用することができる。その際は、E L素子 1 5 を液晶層、P L Z T、L E Dなどの光変調層に置き換えればよい。また、スイッチング素子についても T F T に限定されるものでない。また、本明細書のすべての画素構成あるいは、 F ライバ配置、表示パネル、情報表示装置あるいは駆動方法に適用されることは言うまでもない。

【0569】図6、図8、図17~図21、図29、図42、図46、図47、図52~図56、図59~図63、図67~図75、図81、図83~図95などの画素構成あるいはアレイ構成などはEL表示パネルにのみ限定されるものではない。例えば、液晶表示パネルにも適用することができる。その際は、EL素子15を液晶層、PLZT、LEDなどの光変調層に置き換えればよい。また、スイッチング素子についてもTFTに限定されるものでないことは、図100などで説明した。

【0570】また、図3、図12、図15、図17~図21、図77、図104~図106、図109~図112などの構成、装置、方式はEL表示パネルを用いたものに限定されるものではない。例えば、PDP表示パネル、PLZT表示パネル、液晶表示パネルなどを用いたものにも適用することができる。

【0571】図25、図26の方法にあっては、EL表示パネルの製造方法に限定されるものではない。例えば、液晶表示パネルの製造方法にも適用できる。また、図12~図21の構成あるいは方法にあってもEL表示パネルに限定されるものではなく、LED表示パネル、液晶表示パネルなどにも適用できることは言うまでもない。図28~図31、図33~図40、図43~図45、図48、図50、図51、図75などの表示方法についても同様である。

【0572】以上、本発明の実施例で説明した技術的思 想はビデオカメラ、プロジェクター、立体テレビ、プロ ジェクションテレビなどに適用できる。また、ビューフ ァインダ、携帯電話のモニター、PHS、携帯情報端末 およびそのモニター、デジタルカメラおよびそのモニタ ーにも適用できる。また、電子写真システム、ヘッドマ ウントディスプレイ、直視モニターディスプレイ、ノー トパーソナルコンピュータ、ビデオカメラ、電子スチル 40 カメラにも適用できる。また、現金自動引き出し機のモ ニター、公衆電話、テレビ電話、パーソナルコンピュー タ、腕時計およびその表示装置にも適用できる。さら に、家庭電器機器の表示モニター、ポケットゲーム機器 およびそのモニター、表示パネル用バックライトあるい は家庭用もしくは業務用の照明装置などにも適用あるい は応用展開できることは言うまでもない。また、広告あ るいはポスターなどの表示装置、RGBの信号器、警報 表示灯などにも応用できる。

[0573]

【発明の効果】本発明の表示パネル、表示装置等は、高 画質、良好な動画表示性能、低消費電力、低コスト化、 高輝度化等のそれぞれの構成に応じて特徴ある効果を発 細する

100

【0574】なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【図1】本発明の表示パネルの駆動方法の説明図

【図2】本発明の表示装置の断面図

【図3】本発明の表示パネルの断面図

【図4】本発明の表示装置の断面図

【図5】本発明の表示装置の断面図

【図6】本発明の表示バネルの回路構成図

【図7】本発明の表示パネルの説明図

【図8】本発明の表示パネルの説明図

【図9】本発明の表示パネルの説明図

【図10】本発明の表示装置の回路構成図

【図11】本発明の表示装置の説明図

【図12】本発明の表示パネルの説明図

【図13】本発明の表示パネルの説明図

【図14】本発明の表示パネルの説明図

【図15】本発明の表示パネルの説明図

【図16】本発明の表示パネルの説明図

【図17】本発明の表示パネルの駆動方法の説明図

【図18】本発明の表示パネルの説明図

【図19】本発明の表示パネルの説明図

【図20】本発明の表示パネルの説明図

【図21】本発明の表示パネルの説明図

【図22】本発明の表示装置の説明図

【図23】本発明の表示装置の説明図

【図24】本発明の表示装置の断面図

【図25】本発明の表示バネルの製造方法の説明図

【図26】本発明の表示バネルの製造方法の説明図

【図27】本発明の表示パネルの説明図

【図28】本発明の表示バネルの駆動方法の説明図

【図29】本発明の表示パネルの駆動方法の説明図

【図30】本発明の表示パネルの駆動方法の説明図

【図31】本発明の表示パネルの駆動方法の説明図

【図32】本発明の表示バネルの駆動方法の説明図

【図33】本発明の表示パネルの駆動方法の説明図

【図34】本発明の表示パネルの駆動方法の説明図

【図35】本発明の表示パネルの回路ブロック図

【図36】本発明の表示パネルの駆動方法の説明図

【図37】本発明の表示バネルの駆動方法の説明図

【図38】本発明の表示パネルの駆動方法の説明図

【図39】本発明の表示パネルの駆動方法の説明図

【図40】本発明の表示パネルの駆動方法の説明図

50 【図41】本発明の表示パネルの駆動方法の説明図

	(5-)	
101		102
【図42】本発明の表示バネルの説明図		【図92】本発明の表示パネルの説明図
【図43】本発明の表示パネルの駆動方法の説明図		【図93】本発明の表示パネルの説明図
【図44】本発明の表示パネルの駆動方法の説明図		【図94】本発明の表示バネルの説明図
【図45】本発明の表示バネルの駆動方法の説明図		【図95】本発明の表示パネルの説明図
【図46】本発明の表示パネルの回路ブロック図		【図96】本発明の表示パネルの説明図
【図47】本発明の表示バネルの回路ブロック図		【図97】本発明の表示バネルの説明図
【図48】本発明の表示パネルの駆動方法の説明図		【図98】本発明の情報表示装置の説明図
【図49】本発明の表示パネルの回路ブロック図		【図99】本発明の情報表示装置の説明図
【図50】本発明の表示パネルの駆動方法の説明図		【図100】本発明の表示パネルの説明図
【図51】本発明の表示パネルの駆動方法の説明図	10	【図101】本発明の表示装置の構成図
【図52】本発明の表示パネルの説明図		【図102】本発明の表示装置の構成図
【図53】本発明の表示パネルの説明図		【図103】本発明の表示装置の説明図
【図54】本発明の表示パネルの説明図		【図104】本発明の情報表示装置の平面図
【図55】本発明の表示パネルの説明図		【図105】本発明の表示装置のデータ伝送方法の説明
【図56】本発明の表示パネルの説明図		図
【図57】本発明の表示パネルの説明図		【図106】本発明の表示装置のデータ伝送方法の説明
【図58】本発明の表示バネルの説明図		図
【図59】本発明の表示パネルの説明図		【図107】本発明の表示装置のデータ伝送方法の説明
【図60】本発明の表示パネルの説明図		図
【図61】本発明の表示バネルの説明図	20	【図108】本発明の情報表示装置の説明図
【図62】本発明の表示バネルの説明図		【図109】本発明のビューファインダの断面図
【図63】本発明の表示バネルの説明図		【図110】本発明のビデオカメラの斜視図
【図64】本発明の表示パネルの駆動方法の説明図		【図111】本発明の電子カメラの斜視図
【図65】本発明の表示パネルの駆動方法の説明図		【図112】本発明のテレビの説明図
【図66】本発明の表示パネルの駆動方法の説明図		【図113】本発明のテレビの説明図
【図67】本発明の表示パネルの説明図		【図114】本発明の表示パネルの駆動方法の説明図
【図68】本発明の表示パネルの説明図		【図115】従来の表示パネルの回路構成図
【図69】本発明の表示バネルの説明図		【符号の説明】
【図70】本発明の表示バネルの説明図		11 TFT
【図71】本発明の表示パネルの説明図	30	12 ゲートドライバ
【図72】本発明の表示パネルの説明図		14 ソースドライバ
【図73】本発明の表示バネルの説明図		14a 1チップドライバ I C
【図74】本発明の表示バネルの説明図		15 EL素子
【図75】本発明の表示パネルの説明図		16 画素
【図76】本発明の表示バネルの駆動方法の説明図		17 ゲート信号線
【図77】本発明の表示装置の説明図		18 ソース信号線
【図78】本発明の表示パネルの説明図		19 コンデンサ
【図79】本発明の表示パネルの駆動方法の説明図		20 電流供給線
【図80】本発明の表示パネルの駆動方法の説明図		21 表示画面
【図81】本発明の表示パネルの説明図	40	22 シフトレジスタ
【図82】本発明の表示パネルの説明図		23 インバータ回路
【図83】本発明の表示パネルの説明図		24 出力ゲート
【図84】本発明の表示パネルの説明図		4.1 封止フタ
【図85】本発明の表示パネルの説明図		43 凹部
【図86】本発明の表示パネルの説明図		4.4 凸部
【図87】本発明の表示パネルの説明図		4.5 シール剤
【図88】本発明の表示パネルの説明図		4.6 反射膜
【図89】本発明の表示パネルの説明図		47 有機EL層
【図90】本発明の表示パネルの説明図		48 画素電極
【図90】 本光明の表示パネルの説明図	50	49 アレイ基板

50 49 アレイ基板

【図91】本発明の表示パネルの説明図

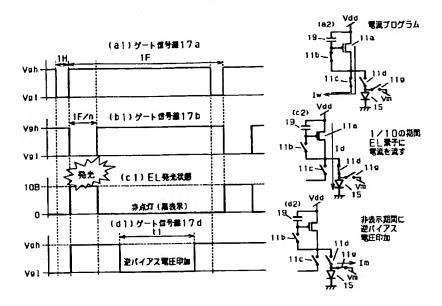
51 カソード配線

50 λ/4板

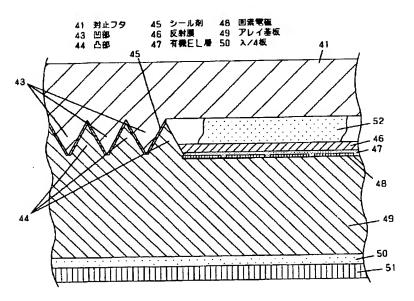
- 52 コンタクトホール
- 53 カソード電極
- 5.4 偏光板
- 55 乾燥剤
- 61,62 接続端子
- 63 アノード配線
- 71 平滑化膜
- 72 透明電極
- 73 封止膜
- 74 円偏光板
- 81 エッジ保護膜
- 82 表示パネル
- 91 遮光膜
- 92 低抵抗化配線
- 101 コントロールIC
- 102 電源IC
- 103 プリント基板
- 104 フレキシブル基板
- 105 データ信号
- 141 誤差拡散コントローラ
- 151 内蔵表示メモリ
- 152 演算メモリ
- 153 演算回路
- 154 パッファ回路
- 191 アンテナ
- 192 テンキー
- 193 筐体
- 194 +-
- 201 デェプレクサ
- 202 LNA
- 203 LOバッファ
- 204 ダウンコンバータ
- 205 アップコンバータ
- 206 PAプリドライバ
- 207 PA
- 230 レーザー照射スポット
- 241 ガラス基板
- 242 位置決めマーカ
- 251 凸部
- 252 凹凸部
- 311 画像表示領域

- 3 1 2 非表示領域
- 351 カウンタ回路
- 352 輝度メモリ
- 353 CPU
- 354 フレームメモリ (フィールドメモリ)
- 355 切り替え回路
- 391 書き込み画素行
- 392 保持画素行
- 401 電圧源
- 10 402 電流源
  - 403 電源切り替え手段
  - 404 寄生容量
  - 451 ボディー
  - 452 接眼リング
  - 453 拡大レンズ
  - 454 正レンズ
  - 461 撮影レンズ
  - 462 ビデオカメラ本体
  - 463 格納部
- 20 464 接眼カバー
  - 465 表示モード切り替えスイッチ
  - 466 ビューファインダ
  - 467 蓋
  - 468 支点
  - 471 シャッタ
  - 472 デジタルカメラ本体
  - 481 外枠
  - 482 固定部材
  - 483 脚
- 30 484 脚取り付け部
  - 491 壁
  - 492 固定金具
  - 493 保護フィルム (保護板)
  - 501 走査領域
  - 601 ENBL端子
  - 602 OR回路
  - 851 シャッタ
  - 852 観察用眼鏡(切り替え手段)
  - 861 プリズム
- 40 862 光結合材
  - 871 書き込み画素行
  - 1001 フライングコンデンサ

【図1】

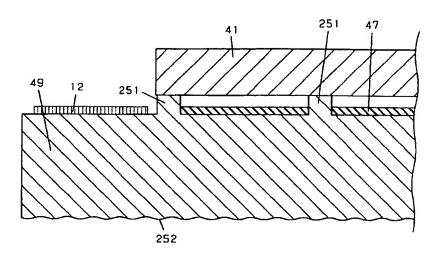


【図2】



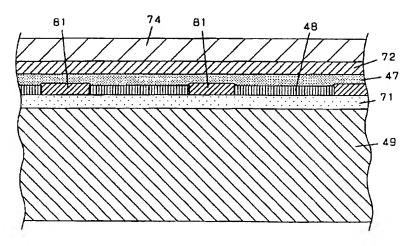
【図3】

251 凸部 252 凹凸部



【図4】

81 エッジ保護膜

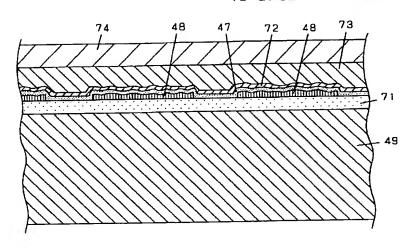


【図5】

73 封止膜 74 円偏光板 71 平滑化膜 72 透明電極

(a)

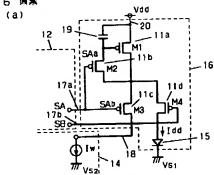
(b)

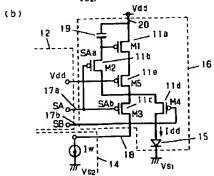


【図6】

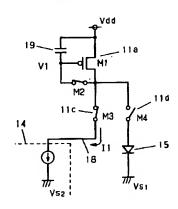
11 TFT 17 ゲートIB 17 ゲートIB 12 ゲートドライバ 18 ソース信号録 14 ソースドライバ 19 コンデンサ 15 EL素子 20 電流供給線

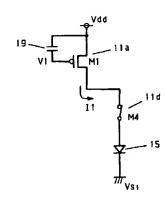
15 EL素子 16 頂景

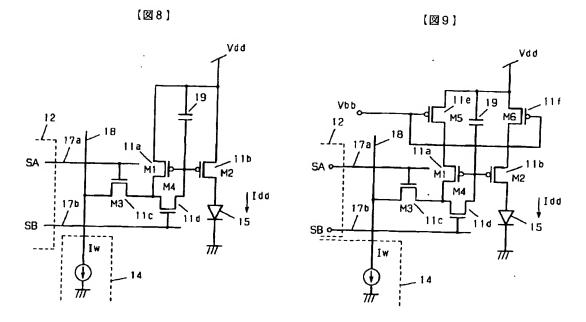


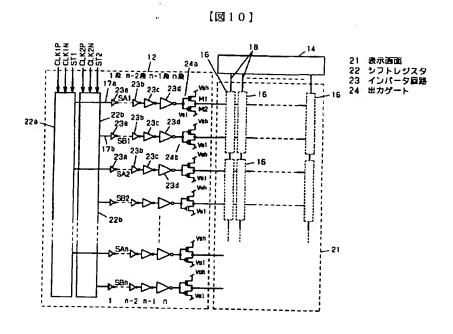


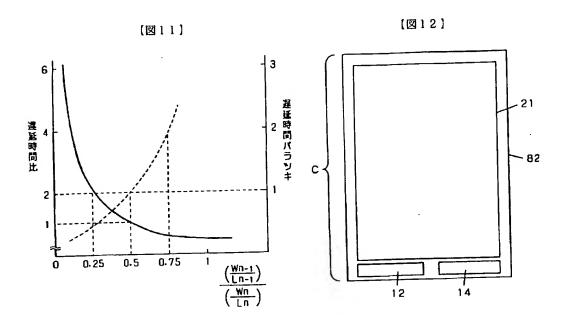
【図7】

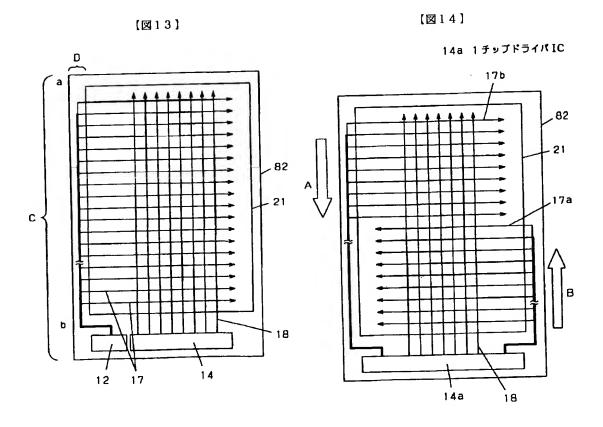


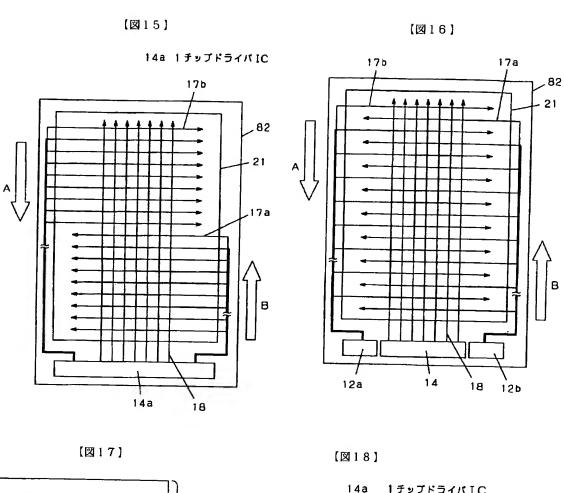


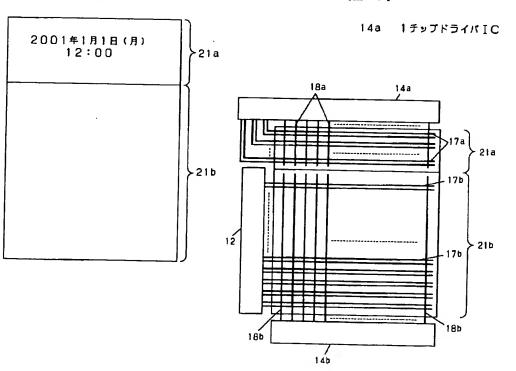


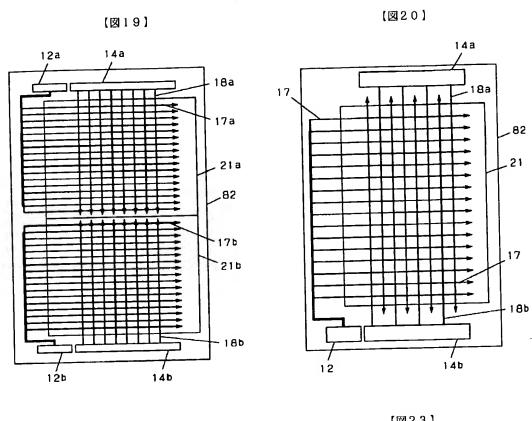






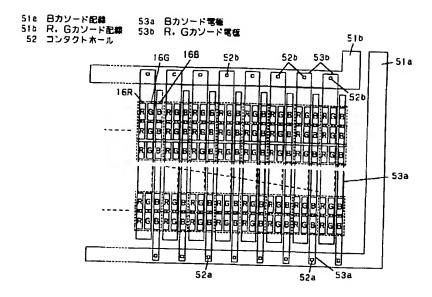






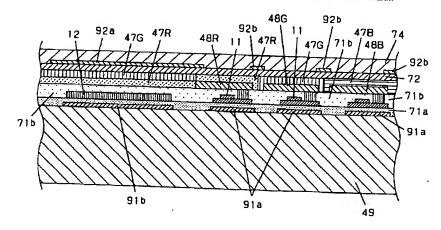
18 61.62 接続等子 63 アノード配載 18 62 51 51 51 53 53 53

【図22】

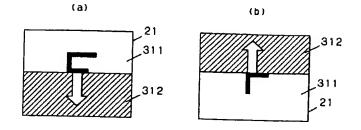


【図24】

## 91 遮光膜 92 低抵抗化配線



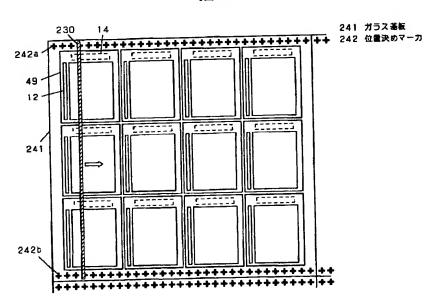
【図30】



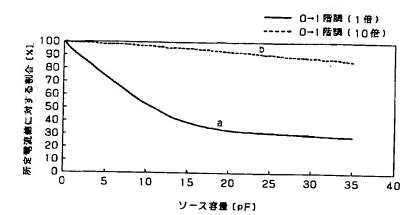
【図25】

17	18	18	P24	_230	3 .	16				230 レーザー無射スポット					1
17				[]				-							
116						R	G	В							
11a				[]		7	7		[][	<u>.</u>	17	7:2:			
17					[	<u> </u>									
110												ا د یا			
11a		13			[]	[]							•		
		5									3		-		
		+==			1	†	Τ	1	1	1	ì	1			

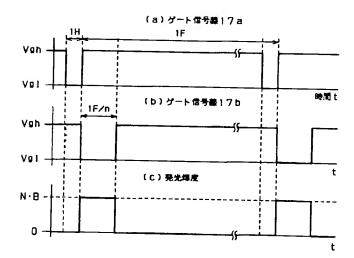
【図26】



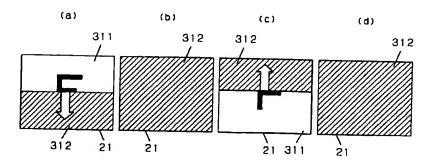
【図27】



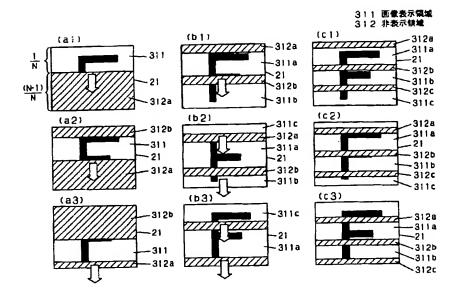
【図28】



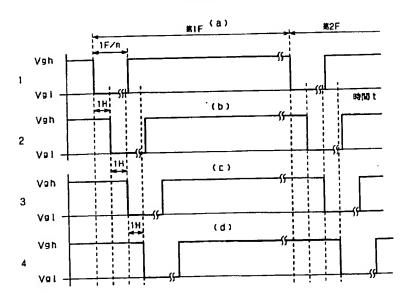
【図31】



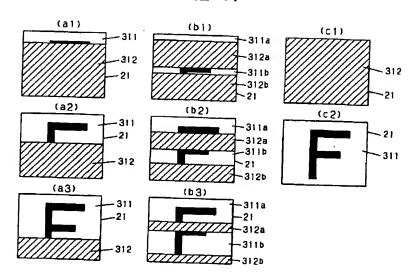
【図29】

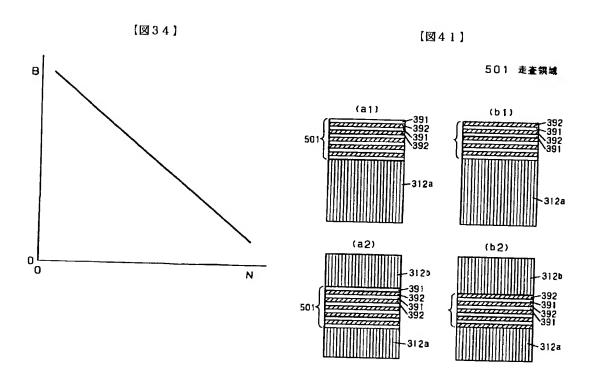


【図32】

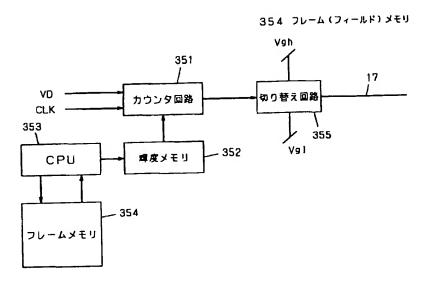


[図33]

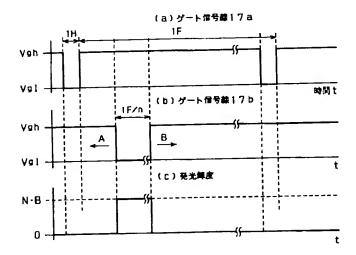




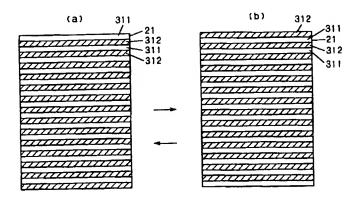
【図35】



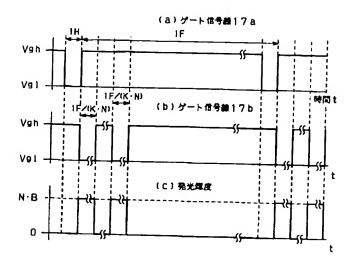
【図36】



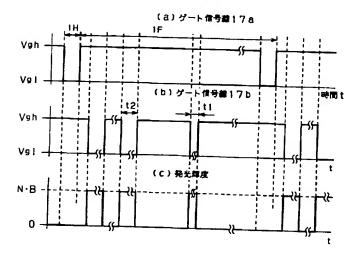
【図43】



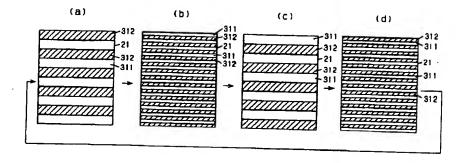
【図37】



【図38】

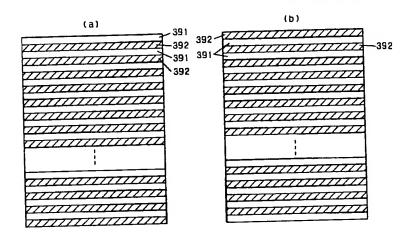


【図44】

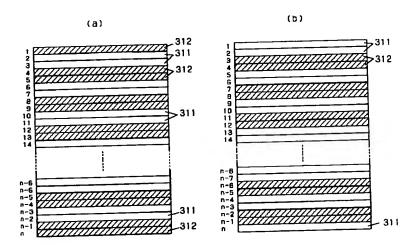


【図39】

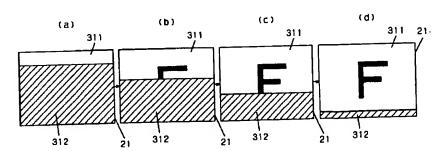
391 春き込み画業行 392 保持画業行



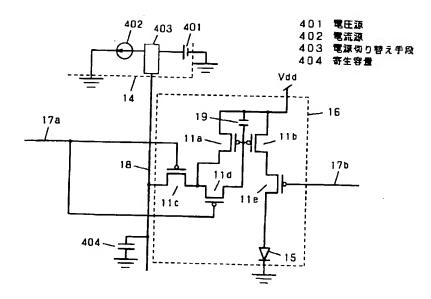
【図40】



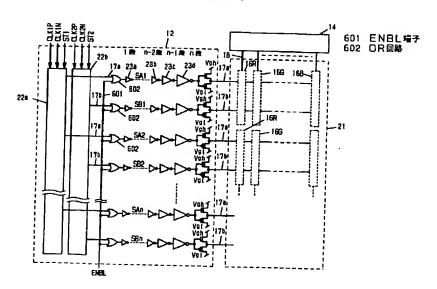
【図45】

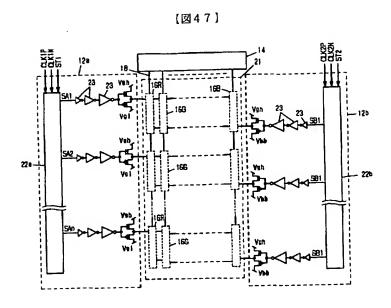


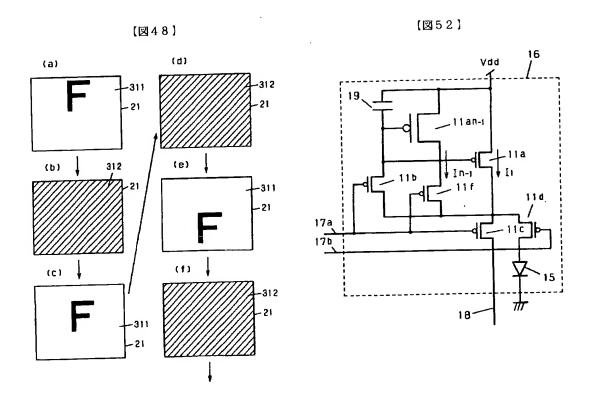
【図42】



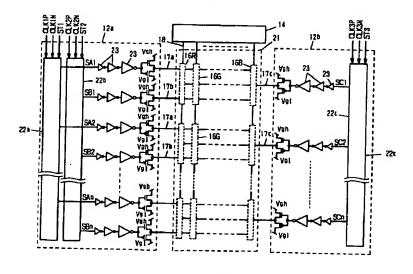
【図46】



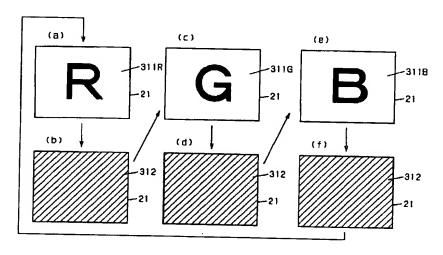




# 【図49】

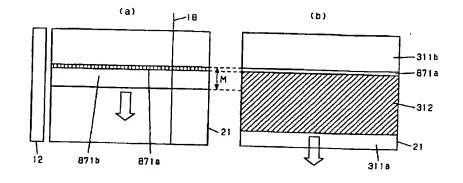


【図50】

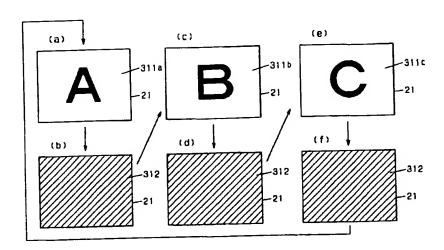


【図64】

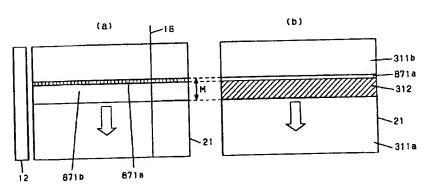
#### 871 書き込み画業行



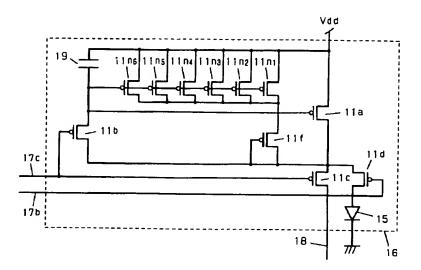
【図51】



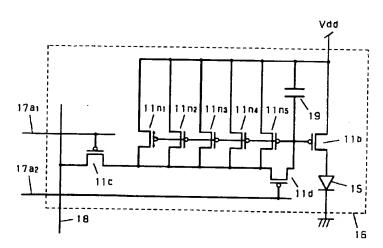
【図65】



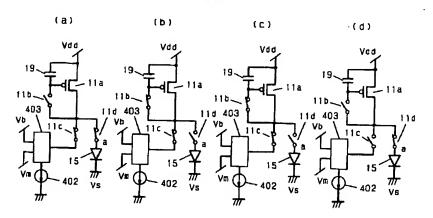
【図54】

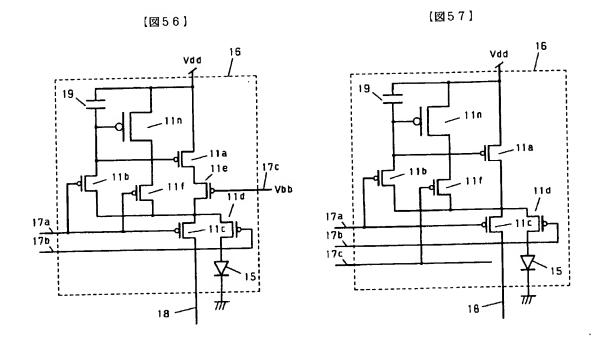


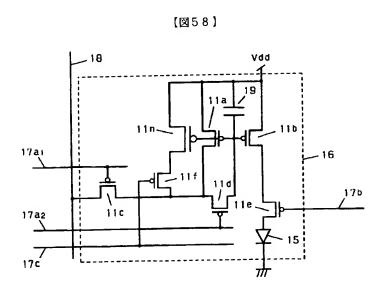
【図55】

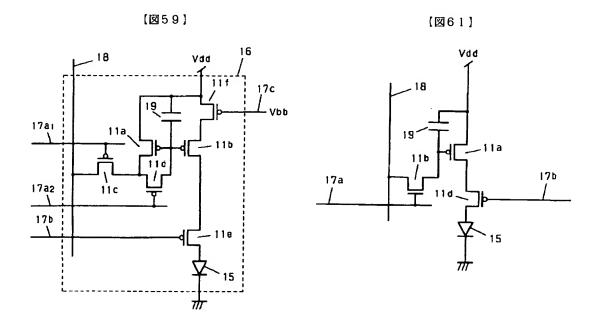


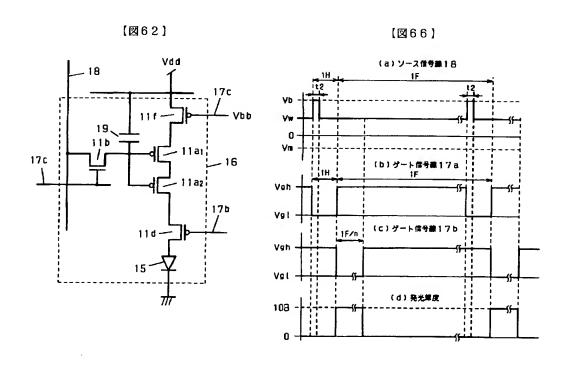
【図76】



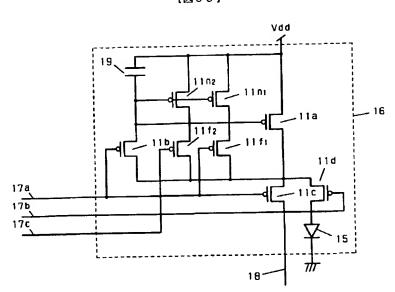


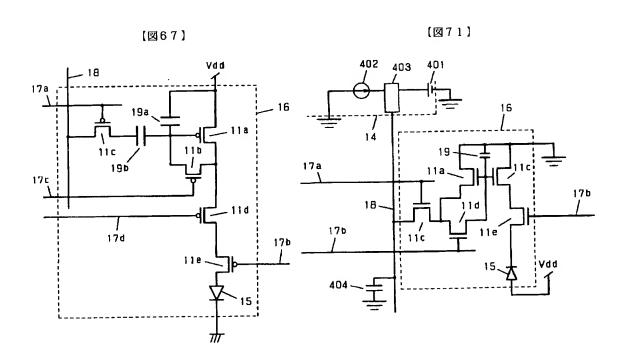


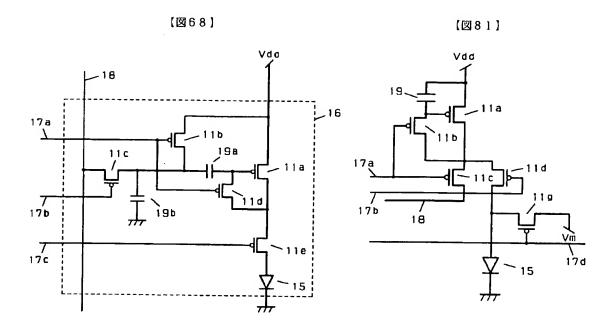




【図63】







(図69)

402

19

11

17a

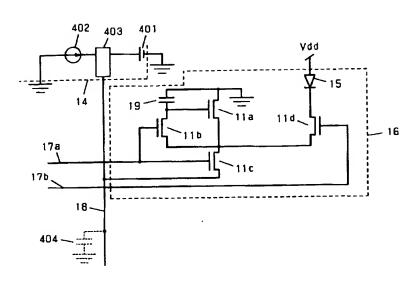
17b

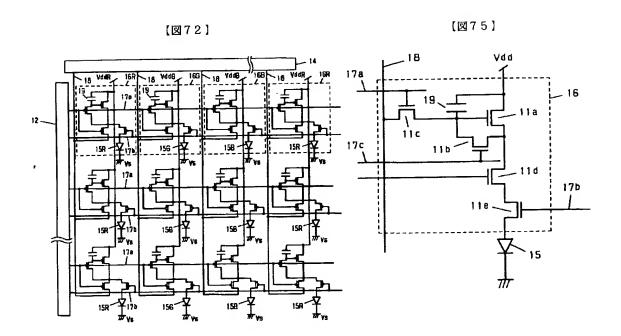
18

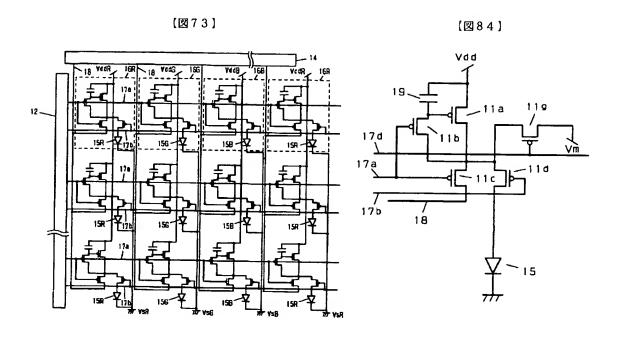
404

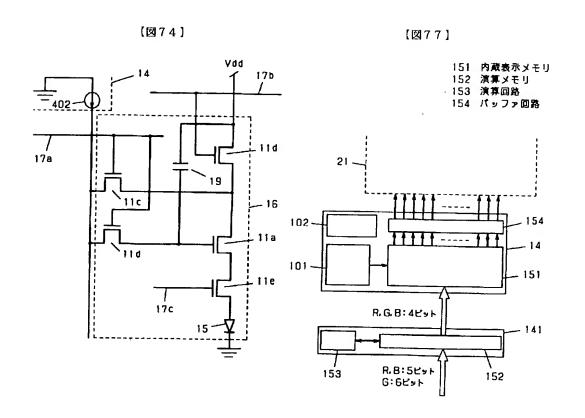
16

[図70]





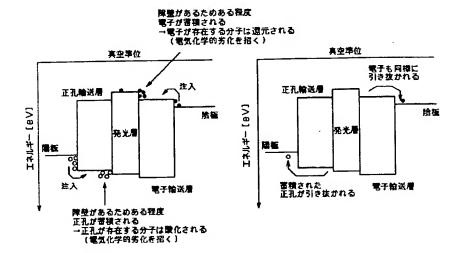


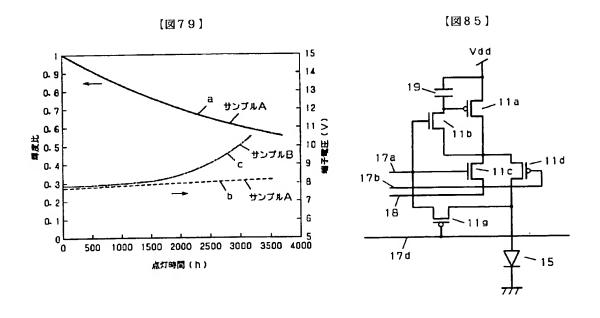


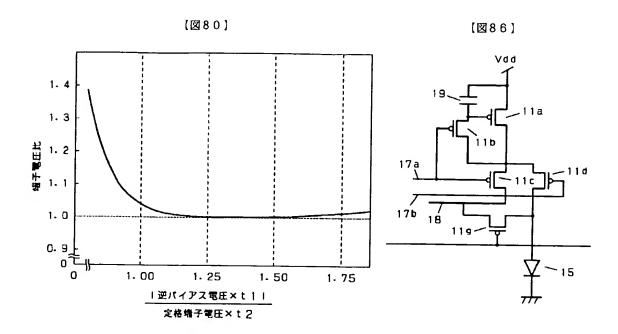
【図78】

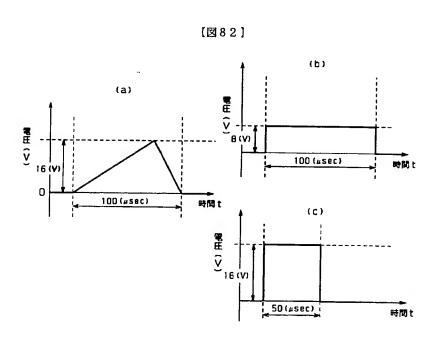
#### (a)発光時のキャリアの学動

#### (b) 逆電流印加時

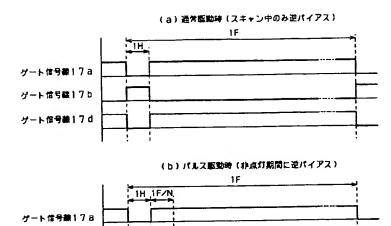






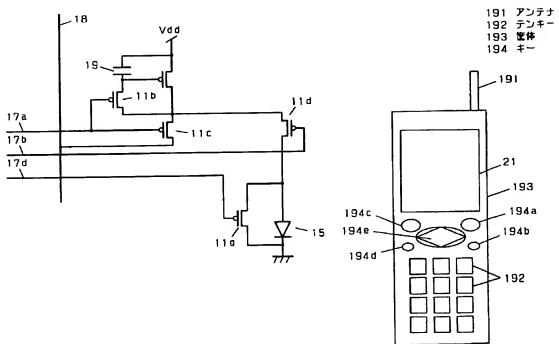


【図83】

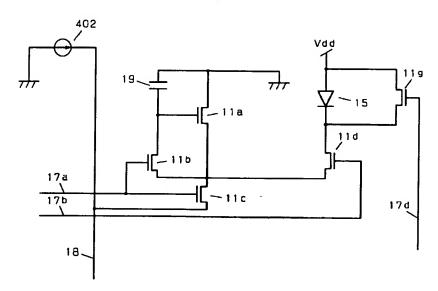


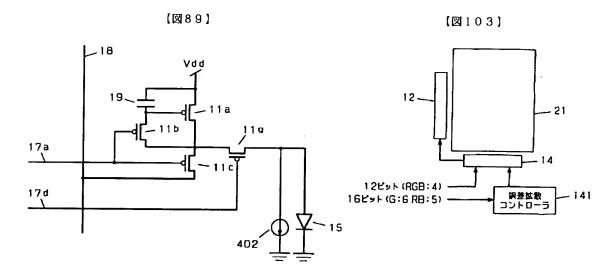
ゲート信号載17日 ゲート信号線17 d



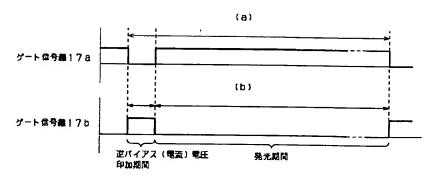


【図88】

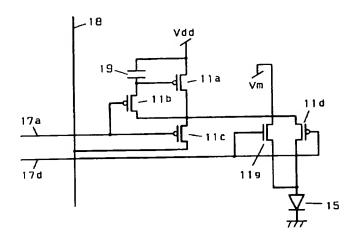




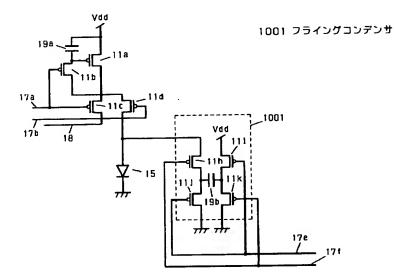
【図90】



【図91】

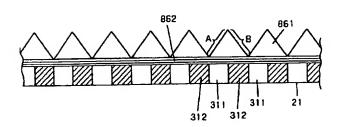


【図92】



[図99]

861 プリズム 862 光精合材



## 【図105】

(a)

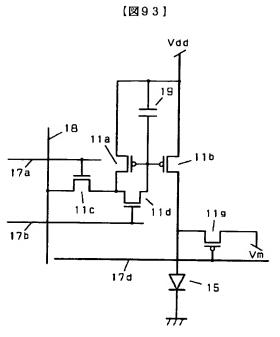
色数

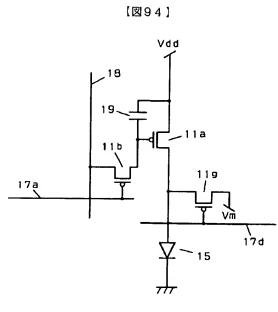
表示色
白風
8€
256€
4096 €
65K@
260K @
<b>ツルーカラー</b>
子約

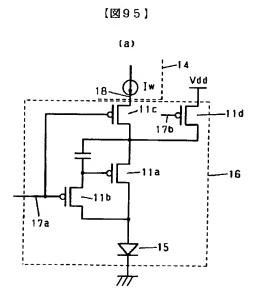
(b)

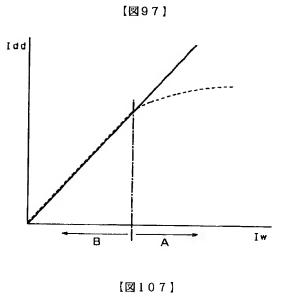
レート

数値	レート
0	20
1	40
2	60
3	80
4	100
5	120
6	160
7	子的





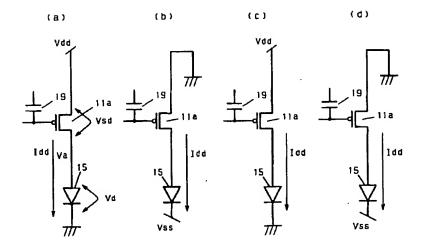




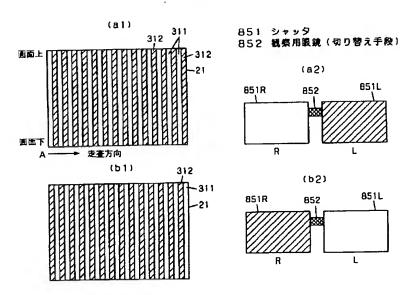
	(8)		
変数を経ち管 W I	\frac{\lambda}{(1w)}	<del></del>	- <b>-</b> -
	V9h	B)	同t
ゲート信号線 175	V91		
	Veh		_
ゲート信号機 17 a	Vg1		

形式	bв	b7	<b>b</b> 6	bs	b4	bз	рs	bı	
情報転送形式	受付順序 番号 N(R)				送信	明	(S)		
I フレーム	2 <sup>2</sup> 2 <sup>1</sup>	20	P	2 <sup>2</sup>	21	2 <sup>0</sup>	0		
監視形式	受信順序 番号 N(R)		2.5	監护机	) #E _				
Sフレーム	22	21	20	P/F	PZF	נש	F S	0	1.
非常号制形式 リフレーム	修飾権		М	P/F	停館機 ピッ	Kiiž M	1	1	

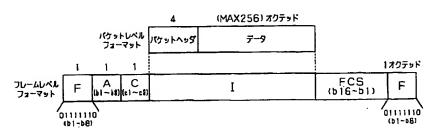
【図96】



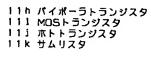
[図98]

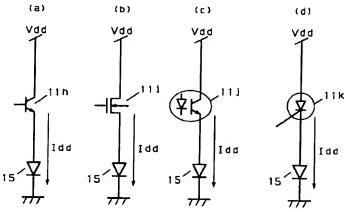


【図106】



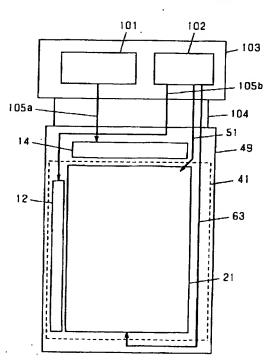
#### 【図100】



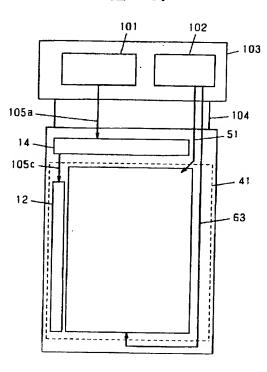


【図101】

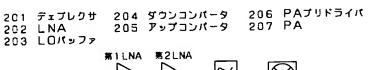
101 コントロールIC 104 フレキシブル基板 102 電源IC 105 データ信号 103 プリント基板

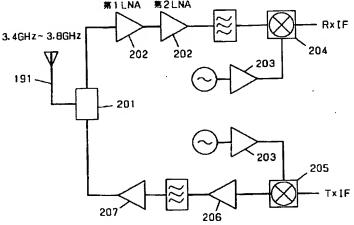


【図102】



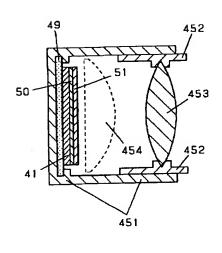
#### 【図108】





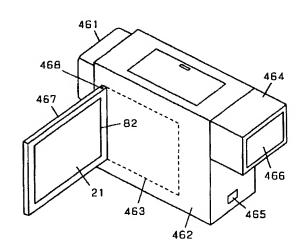
#### 【図109】

#### 451 ボディー 452 接眼リング 453 拡大レンズ 454 正レンズ



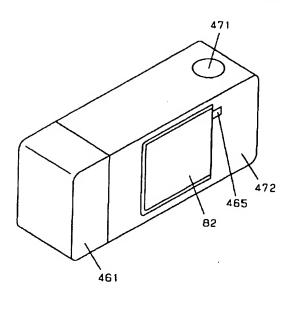
#### [図110]

461 撮影レンズ 462 ピデオカメラ本体 463 格納部 464 接限カバー 465 接示モード切り替えスイッチ 466 ピューファイング 467 蓋 468 支点



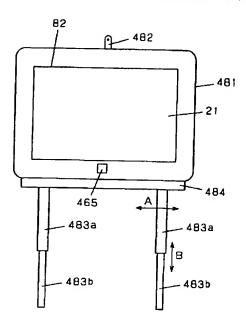
【図111】

471 シャッタ 472 *ア*ジタルカメラ本体

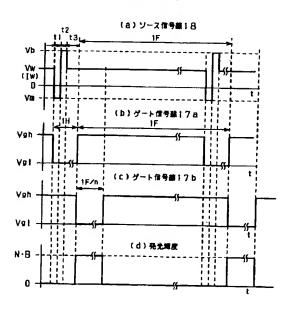


【図112】

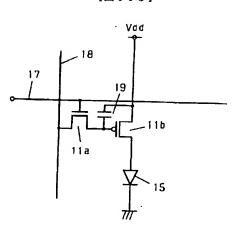
481 外枠 482 固定部材 483 脚 484 脚取り付け部



【図114】

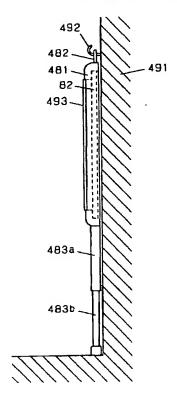


【図115】



【図113】

491 壁 492 固定金具 493 保護フィルム (保護板)



### フロントページの続き

(51)Int.Cl.' G 0 9 G 3/20 識別記号

641

642

H 0 5 B 33/14

FΙ

G 0 9 G 3/20

テマコート'(参考)

6 4 1 D 6 4 2 A

H 0 5 B 33/14

A

D. 1. (4) #1) 71/07 APO

Fターム(参考) 3K007 AB02 AB04 AB11 AB17 BA06

BB07 CB01 DB03 EB00 GA02

GA04

5C080 AA06 BB05 CC03 DD05 DD26

EE29 FF11 JJ02 JJ03 JJ04

3306 KK07 KK47

5C094 AA07 AA08 AA10 AA13 AA22

AA31 AA44 AA53 AA56 BA03

BA12 BA27 CA19 CA24 DA09

DB01 DB04 EA04 ED13 ED14

ED20 FA01 FB01 FB20 GA10

. JA01

# This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

# **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:
☐ BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
FADED TEXT OR DRAWING
☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
☐ LINES OR MARKS ON ORIGINAL DOCUMENT
☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

# IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.